

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

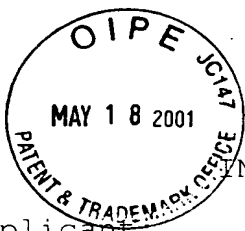
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.



PATENT
A280

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Masayuki SHINOHARA
Appl. No.: 09/820,351 Group: Unknown
Filed: March 29, 2001 Examiner: UNASSIGNED
For: ARBITER CIRCUIT AND METHOD OF CARRYING
OUT ARBITRATION

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

Date: May 18, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-090444	March 29, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By 

Robert J. Patch, #17,355

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

A280

Attachment

天野
US



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2000年 3月29日

出 願 番 号
Application Number:

特願2000-090444

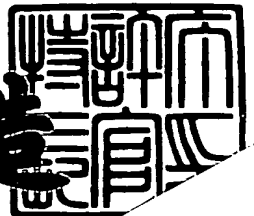
出 願 人
Applicant (s):

日本電気株式会社

2000年12月 8日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特20

【書類名】 特許願

【整理番号】 40410394

【提出日】 平成12年 3月29日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/28

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 篠原 誠之

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088812

 【弁理士】

 【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

 【予納台帳番号】 030982

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 調停方式及びそれを用いたアービタ回路

【特許請求の範囲】

【請求項 1】 入力ポートに到着するパケットを一時的に蓄積する入力バッファと、特定の入力ポートと出力ポートとの間でパケットを交換するスイッチ交換部とを備え、パケットを前記入力ポートと前記出力ポートとの間でスイッチングするパケット交換装置において、前記入力バッファのどれからどの出力ポートへパケットを出力させるかを決定するアービタ回路の調停方式であって、前記入力バッファ及び出力ポートのうちの少なくとも一方を選択する基本処理を予め決められた順序に従って実行する複数のシーケンスを同時に起動するとともに、前記複数のシーケンスが各々異なる出力時刻の出力許可を決定するようにしたことを特徴とする調停方式。

【請求項 2】 前記基本処理が、ある入力バッファからパケットを出力する宛先出力ポートを未だどの入力バッファにも占有されていない出力ポートの中から選択する処理を行い、当該基本処理を予め決められた入力バッファ順序に従って実行する入力側シーケンシャル調停方式に用いられることを請求項 1 記載の特徴とする調停方式。

【請求項 3】 前記基本処理が、ある出力ポートに対する出力を許可する入力バッファを未だ出力許可を獲得していない入力バッファの中から選択する処理を行い、当該基本処理を予め決められた出力ポート順序に従って実行する出力側シーケンシャル調停方式に用いられることを請求項 1 記載の特徴とする調停方式。

【請求項 4】 同時に起動される前記複数のシーケンス内で実行される基本処理は、前記入力バッファから単一パケットを出力するのに要する単位時間内で完了するようにし、同一の単位時間内では前記複数のシーケンス各々が互いに異なる入力バッファ及び出力ポートのうちの少なくとも一方のための基本処理を実行するようにしたことを特徴とする請求項 1 から請求項 3 のいずれか記載の調停方式。

【請求項 5】 同時に起動される前記複数のシーケンスが終了すると、新た

に別の複数のシーケンスを起動するようにしたことを特徴とする請求項 1 から請求項 4 のいずれか記載の調停方式。

【請求項 6】 前記複数のシーケンスが終了した後に新たに起動される複数のシーケンスにおける基本処理の順次は、直前の複数のシーケンスにおける順序とは逆順にするようにしたことを特徴とする請求項 1 から請求項 5 のいずれか記載の調停方式。

【請求項 7】 前記複数のシーケンス各々は、前記基本処理の間に空き時間を設け、前記複数のシーケンスが同時に開始されてからある時間が経過した後に別の複数のシーケンスを開始するようにしたことを特徴とする請求項 1 から請求項 6 のいずれか記載の調停方式。

【請求項 8】 前記複数のシーケンス各々で実行される出力ポート毎の基本処理は、前記入力バッファの蓄積するパケットのうちのまず高優先クラスのパケットを対象に当該出力ポートへの出力許可を与える入力バッファを選択するように調停を行い、その後に低優先クラスのパケットに出力許可を与えるように調停するようにしたことを特徴とする請求項 3 から請求項 7 のいずれか記載の調停方式。

【請求項 9】 前記基本処理は、前記高優先クラスのパケットに対する処理及び前記低優先クラスのパケットに対する処理に要する時間を前記単位時間の半分にするようにしたことを特徴とする請求項 8 記載の調停方式。

【請求項 10】 前記複数のシーケンス各々は、まず高優先クラスのパケットを対象に全ての入力バッファのための基本処理を実行し、その後で低優先クラスのパケットを対象に全ての入力バッファのための基本処理を実行するようにしたことを特徴とする請求項 2 または請求項 4 から請求項 7 のいずれか記載の調停方式。

【請求項 11】 前記複数のシーケンスで実行される基本処理に要する時間は前記単位時間の半分にするようにしたことを特徴とする請求項 10 記載の調停方式。

【請求項 12】 前記複数のシーケンスで実行される基本処理に要する時間は単位時間のままとし、前記シーケンス内の高優先クラスのパケットに対する基

本処理が終了した時点で別のシーケンスを開始するようにしたことを特徴とする請求項 1 0 記載の調停方式。

【請求項 1 3】 入力ポートに到着するパケットを一時的に蓄積する入力バッファと、特定の入力ポートと出力ポートとの間でパケットを交換するスイッチ交換部とを備え、パケットを前記入力ポートと前記出力ポートとの間でスイッチングするパケット交換装置において、前記入力バッファのどれからどの出力ポートへパケットを出力させるかを決定するアービタ回路であって、前記入力バッファ及び出力ポートのうちの少なくとも一方を選択する基本処理を予め決められた順序に従って実行する複数のシーケンスを同時に起動するとともに、前記複数のシーケンスが各々異なる出力時刻の出力許可を決定するよう構成したことを特徴とするアービタ回路。

【請求項 1 4】 前記基本処理が、ある入力バッファからパケットを出力する宛先出力ポートを未だどの入力バッファにも占有されていない出力ポートの中から選択する処理を行い、当該基本処理を予め決められた入力バッファ順序に従って実行する入力側シーケンシャル調停方式に用いられることを請求項 1 3 記載の特徴とするアービタ回路。

【請求項 1 5】 前記基本処理が、ある出力ポートに対する出力を許可する入力バッファを未だ出力許可を獲得していない入力バッファの中から選択する処理を行い、当該基本処理を予め決められた出力ポート順序に従って実行する出力側シーケンシャル調停方式に用いられることを請求項 1 3 記載の特徴とするアービタ回路。

【請求項 1 6】 同時に起動される前記複数のシーケンス内で実行される基本処理は、前記入力バッファから単一パケットを出力するのに要する単位時間内で完了するようにし、同一の単位時間内では前記複数のシーケンス各々が互いに異なる入力バッファ及び出力ポートのうちの少なくとも一方のための基本処理を実行するようにしたことを特徴とする請求項 1 3 から請求項 1 5 のいずれか記載のアービタ回路。

【請求項 1 7】 同時に起動される前記複数のシーケンスが終了すると、新たに別の複数のシーケンスを起動するようにしたことを特徴とする請求項 1 3 か

ら請求項 1 6 のいずれか記載のアービタ回路。

【請求項 1 8】 前記入力バッファ及び前記出力ポートのうちの少なくとも一方に対応した複数の基本モジュールをリング状に接続する信号線を含み、前記複数の基本モジュール各々は、対応する前記入力バッファ及び前記出力ポートのうちの少なくとも一方のための基本処理を実行するよう構成にしたことを特徴とする請求項 1 3 から請求項 1 7 のいずれか記載のアービタ回路。

【請求項 1 9】 前記複数のシーケンスが終了した後に新たに起動される複数のシーケンスにおける基本処理の順次は、直前の複数のシーケンスにおける順序とは逆順にするようにしたことを特徴とする請求項 1 3 から請求項 1 8 のいずれか記載のアービタ回路。

【請求項 2 0】 前記入力バッファ及び前記出力ポートのうちの少なくとも一方に対応した複数の基本モジュールをリング状に接続しかつ互いに伝達方向の異なる複数の信号線を含み、前記複数の基本モジュール各々は、対応する前記入力バッファ及び前記出力ポートのうちの少なくとも一方のための基本処理を実行するよう構成にしたことを特徴とする請求項 1 9 記載のアービタ回路。

【請求項 2 1】 前記複数のシーケンス各々は、前記基本処理の間に空き時間を設け、前記複数のシーケンスが同時に開始されてからある時間が経過した後、別の複数のシーケンスを開始するようにしたことを特徴とする請求項 1 3 から請求項 2 0 のいずれか記載のアービタ回路。

【請求項 2 2】 前記複数のシーケンス各々で実行される出力ポート毎の基本処理は、前記入力バッファの蓄積するパケットのうちのまず高優先クラスのパケットを対象に当該出力ポートへの出力許可を与える入力バッファを選択するように調停を行い、その後に低優先クラスのパケットに出力許可を与えるように調停するようにしたことを特徴とする請求項 1 3 から請求項 2 1 のいずれか記載のアービタ回路。

【請求項 2 3】 前記基本処理は、前記高優先クラスのパケットに対する処理及び前記低優先クラスのパケットに対する処理に要する時間を前記単位時間の半分にするようにしたことを特徴とする請求項 2 2 記載のアービタ回路。

【請求項 2 4】 前記複数のシーケンス各々は、まず高優先クラスのパケッ

トを対象に全ての入力バッファのための基本処理を実行し、その後で低優先クラスの packets を対象に全ての入力バッファのための基本処理を実行するようにしたことを特徴とする請求項 1 4 または請求項 1 6 から請求項 2 3 のいずれか記載のアービタ回路。

【請求項 2 5】 前記複数のシーケンスで実行される基本処理に要する時間は前記単位時間の半分にするようにしたことを特徴とする請求項 2 4 記載のアービタ回路。

【請求項 2 6】 前記複数のシーケンスで実行される基本処理に要する時間は単位時間のままとし、前記シーケンス内の高優先クラスの packets に対する基本処理が終了した時点で別のシーケンスを開始するようにしたことを特徴とする請求項 2 4 記載のアービタ回路。

【請求項 2 7】 前記入力バッファ及び前記出力ポートのうちの少なくとも一方に対応した複数の基本モジュールをリング状に接続しかつ優先度別に設けられた複数の信号線を含み、前記複数の基本モジュール各々は、対応する前記入力バッファ及び前記出力ポートのうちの少なくとも一方のための基本処理を実行するよう構成にしたことを特徴とする請求項 2 2 から請求項 2 6 のいずれか記載のアービタ回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は調停方式及びそれを用いたアービタ回路に関し、特に A T M (A s y n c h r o n o u s T r a n s f e r M o d e) のような packets 通信技術を用いて特定の入力ポートと出力ポートとの間で packets をスイッチングする packets 交換装置におけるスイッチ制御方式に使用される調停方式に関する。

【0 0 0 2】

【従来の技術】

従来、この種の packets 交換装置においては、図 2 0 に示すような構成となっている。この図 2 0 において、入力ポート 5 0 0 - 1 ~ 5 0 0 - n [入力ポート 5 0 0 - 2 ~ 5 0 0 - (n - 1) は図示せず] と、出力ポート 5 0 1 - 1 ~ 5 0

1-n [出力ポート 501-2~501-(n-1) は図示せず] との間でパケットをスイッチングするパケット交換部 5 と、入力ポート 500-1~500-n に到着したパケットを一時的に蓄積する入力バッファ部 7-1~7-n [入力バッファ部 7-2~7-(n-1) は図示せず] と、アービタ部 6 とから構成されている。尚、502-1~502-n は入力ハイウェイであり、但し、入力ハイウェイ 502-2~502-(n-1) は図示していない。

【0003】

パケット交換部 5 としては、図 21 に示すように、格子状にはりめぐらされた伝送路の交叉点 50 を開閉する (ON/OFF する) 構成が考えられる。この構成では複数の入力ポートが特定の出力ポート 501 に対して同時にパケットを送信すると、パケット衝突が発生してパケットが運ぶデータが破壊されてしまうので、同一タイミングでは特定の出力ポート 501 へパケットを送信する入力ポートを高々一つに制限する必要がある。

【0004】

各入力ポート毎に用意される入力バッファ部 7-1~7-n は出力先に対応した論理キュー 71-1~71-n [論理キュー 71-2~71-(n-1) は図示せず] を備えている。入力ポート 500-1~500-n に到着するパケットはパケット入力部 72 によってその出力先に対応した論理キュー 71-1~71-n の最後尾に蓄積されるとともに、パケット出力部 73 はいずれかの論理キュー 71-1~71-n の先頭からパケットを取出してパケット交換部 5 へ送出する。

【0005】

入力バッファ部 7-1~7-n はどの出力ポート 501-1~501-n 宛のパケットを保有しているかを記述した出力要求信号 600-1~600-n [出力要求信号 600-2~600-(n-1) は図示せず] をアービタ部 6 に発信する。アービタ部 6 はパケット衝突が発生しないように、パケット交換部 5 のどの入出力ポート間でパケットをスイッチングするかを決定するとともに、その調停結果を出力許可信号 601-1~601-n [出力許可信号 601-2~601-(n-1) は図示せず] によって入力バッファ部 7-1~7-n に知らせ

る。

【 0 0 0 6 】

どの入出力ポート間でパケットをスイッチングするかを決定する調停アルゴリズムの従来技術については、「入力バッファ型 A T M スイッチにおけるスケジューリングアルゴリズムに対する一検討」（瓦井著、1998年電子情報通信学会ソサエティ大会予稿集 B - 6 - 2 0 ）（文献 1 ）や「大容量パケットスイッチ構成法に関する一検討」（若山著、電子情報通信学会信学技報 S S E 9 8 - 1 6 0 ）（文献 2 ）に記載されたものがある。

【 0 0 0 7 】

文献 1 のアルゴリズムではある入力バッファについて、保有しているセルの宛先出力ポートを探索し、未だどの入力バッファにも占有されていない出力ポートのいずれかを選択する。出力ポートの選択方法にはラウンドロビン選択を用いるのが一般的である。そして、上記の選択処理を全ての入力バッファについて順に実行する。

【 0 0 0 8 】

すなわち、ある入力バッファからパケットを出力する宛先出力ポートを、未だどの入力バッファにも占有されていない出力ポートの中から選択する基本処理を予め決められた入力バッファ順序に従って実行するのである。一般的に、基本処理を行う入力バッファ順序は識別のために付与される番号の若番順である。

【 0 0 0 9 】

以後、これを入力側シーケンシャル調停方式と呼ぶことにする。また、上記の基本処理を予め決められた入力バッファ順序に従って実行する一連の処理をシーケンスと定義する。

【 0 0 1 0 】

図 2 2 は入力側シーケンシャル調停方式におけるシーケンスの処理を示すフローチャートである。この図 2 2 を参照して入力側シーケンシャル調停方式におけるシーケンスの処理について説明する。

【 0 0 1 1 】

シーケンスが開始されると、入力バッファ順序が決定され（図 2 2 ステップ S

4 1)、全ての出力ポートが空き状態とされる(図 2 2 ステップ S 4 2)。続いて、変数 K に 0 が代入され(図 2 2 ステップ S 4 3)、空いている出力ポートの中から、K 番目の入力バッファのために出力先が選択される(図 2 2 ステップ S 4 4)。

【0012】

その後に、変数 K に 1 を増加し(図 2 2 ステップ S 4 5)、 $K > N - 1$ でなければ(図 2 2 ステップ S 4 6)、ステップ S 4 4 に戻り、 $K > N - 1$ であれば(図 2 2 ステップ S 4 6)、シーケンスを終了する。

【0013】

文献 2 のアルゴリズムではある出力ポートについて、そのポートへの出力セルが存在する入力バッファを探索し、未だどの出力ポートへの出力許可を獲得していない入力バッファのいずれかを選択する。入力バッファの選択方法にはラウンドロビン選択を用いるのが一般的である。

【0014】

そして、上記の選択処理を全ての出力ポートについて実行する。すなわち、ある出力ポートに対して出力を許可する入力バッファを、未だ出力許可を獲得していない入力バッファの中から選択する基本処理を予め決められた出力ポート順序に従って実行するのである。一般的に、基本処理を行う出力ポート順序は識別のために付与される番号の若番順である。

【0015】

以後、これを出力側シーケンシャル調停方式と呼ぶことにする。また、上記の基本処理を予め決められた出力ポート順序に従って実行する一連の処理をシーケンスと定義する。

【0016】

図 2 3 は出力側シーケンシャル調停方式におけるシーケンスの処理を示すフローチャートである。この図 2 3 を参照して出力側シーケンシャル調停方式におけるシーケンスの処理について説明する。

【0017】

シーケンスが開始されると、出力ポート順序が決定され(図 2 3 ステップ S 5

1)、全ての入力バッファを空き状態とする(図23ステップS52)。続いて、変数Kに0が代入され(図23ステップS53)、空いている入力バッファの中から、K番目の出力ポートへの出力許可を与える入力バッファを選択する(図23ステップS54)。

【0018】

その後、Kに1を増加し(図23ステップS55)、 $K > N - 1$ でなければ(図23ステップS56)、ステップS54に戻り、 $K > N - 1$ であれば(図23ステップS56)、シーケンスを終了する。

【0019】

入力側シーケンシャル調停方式または出力側シーケンシャル調停方式におけるシーケンスの処理タイミングを図24に示す。従来技術では一つのシーケンスを起動させて、ある出力時刻のための出力許可を決定する。そして、シーケンスが終了すると、次のシーケンスを開始する。ここで、回線速度に相当する最大レートでパケットを出力するために、各シーケンスは入力バッファから単一パケットを出力するのに要する、または回線上を単一パケットが通過するのに要する単位時間内に完了することが求められている。

【0020】

【発明が解決しようとする課題】

上述した従来のパケット交換装置では、シーケンスを単位時間内に完了しなければならない。一つのシーケンス内では個別の入力バッファまたは出力ポートに対応した基本処理を全ての入力バッファまたは出力ポート分だけ実行する。パケット交換装置のポート数が増大すると、シーケンス内で実行する基本処理の数が増加する。

【0021】

しかしながら、単位時間そのものはパケットの大きさ及び回線速度が同一である場合には変わらないので、仮にポート数がX倍になると、個々の基本処理に要する時間を $1/X$ 倍にしなければならない。

【0022】

したがって、パケット交換装置を大容量化する場合に、調停処理を実行するア

ービタの処理能力をもX倍に高速化させなければならず、非常に高価なプロセッサが必要となる。

【 0 0 2 3 】

また、従来のパケット交換装置では、複数の優先度別クラスが存在する場合に、これらを効率よく収容するアルゴリズムが存在しない。

【 0 0 2 4 】

そこで、本発明の目的は上記の問題点を解消し、アービタに安価な低処理能力のプロセッサを用いる場合でも装置の大容量化を図ることができ、複数の優先度別クラスを効率よく収容することができる調停方式及びそれを用いたアービタ回路を提供することにある。

【 0 0 2 5 】

【課題を解決するための手段】

本発明による調停方式は、入力ポートに到着するパケットを一時的に蓄積する入力バッファと、特定の入力ポートと出力ポートとの間でパケットを交換するスイッチ交換部とを備え、パケットを前記入力ポートと前記出力ポートとの間でスイッチングするパケット交換装置において、前記入力バッファのどれからどの出力ポートへパケットを出力させるかを決定するアービタ回路の調停方式であって、前記入力バッファ及び出力ポートのうちの少なくとも一方を選択する基本処理を予め決められた順序に従って実行する複数のシーケンスを同時に起動するとともに、前記複数のシーケンスが各々異なる出力時刻の出力許可を決定するようにしている。

【 0 0 2 6 】

本発明によるアービタ回路は、入力ポートに到着するパケットを一時的に蓄積する入力バッファと、特定の入力ポートと出力ポートとの間でパケットを交換するスイッチ交換部とを備え、パケットを前記入力ポートと前記出力ポートとの間でスイッチングするパケット交換装置において、前記入力バッファのどれからどの出力ポートへパケットを出力させるかを決定するアービタ回路であって、前記入力バッファ及び出力ポートのうちの少なくとも一方を選択する基本処理を予め決められた順序に従って実行する複数のシーケンスを同時に起動するとともに、前

記複数のシーケンスが各々異なる出力時刻の出力許可を決定するよう構成している。

【 0 0 2 7 】

すなわち、本発明のパケット交換装置は、パケットを入力ポートと出力ポートとの間でスイッチングするパケット交換装置において、特定の入力ポートと出力ポートとの間でパケットを交換するスイッチ交換部と、スイッチ交換部の前段に入力ポート毎に設置されかつ宛先出力ポート毎もしくはフロー毎に区別してパケットを蓄積する複数の論理キューを内部に構築する入力バッファ部と、ある出力ポートへの出力許可をどの入力バッファ部に与えるかを決定するアービタ部とを備えている。

【 0 0 2 8 】

本発明による調停方式はじょうきのパケット交換装置に用いる入力側シーケンシャル調停方式において、基本処理を予め決められた入力バッファ順序に従って実行するシーケンスを複数同時に起動することを特徴としている。同時に起動するシーケンス数はパケット交換装置のポート数と同数にすることが考えられる。また、同時に起動される複数のシーケンスは各々異なる時刻に対する出力許可を決定するものである。

【 0 0 2 9 】

シーケンス終了後、別の新しいシーケンスを起動させる。シーケンス内で実行される入力バッファ毎の基本処理は入力バッファから単一パケットを出力するのに要する単位時間内で完了するように構成するとともに、同一の単位時間では各シーケンスは互いに異なる入力バッファのための基本処理を実行するように構成する。

【 0 0 3 0 】

これによって、パケット交換装置のポート数をX倍に増大させて大容量化する場合、各シーケンスで実行する基本処理の数もX倍に増えるが、同時に起動させるシーケンス数もX倍に増大し、それぞれのシーケンスが連続する出力時刻の出力許可を決定するため、各シーケンスは大容量化前のX倍の長さの時間をかけて処理完了しても、回線速度に相当する最大レートでパケットを出力することが可

能となる。

【 0 0 3 1 】

同様に、出力側シーケンシャル調停方式に対しても上記の方法を適用することが可能である。その場合、基本処理を予め決められた出力ポート順序に従って実行するシーケンスを複数同時に起動させる。同時に起動される複数のシーケンスは各々異なる時刻に対する出力許可を決定するものである。そして、シーケンス内で実行される出力ポート毎の基本処理は単位時間内で完了するように構成するとともに、同一単位時間内では各シーケンスは互いに異なる出力ポートのための基本処理を実行するように構成する。これによって、入力側シーケンシャル調停方式と同一の効果が得られる。

【 0 0 3 2 】

本発明では基本処理を実行する基本モジュールを入力バッファあるいは出力ポート毎に設け、信号線によってリング状に接続する構成とすることが可能である。各基本モジュールはそれぞれ対応する入力バッファまたは出力ポートのための基本処理を実行する。基本処理を実行した後、未だ占有されていない出力ポート情報または未だ出力許可を獲得していない入力バッファ情報を信号線経由で次段の基本モジュールに伝達する。

【 0 0 3 3 】

本発明によって同時に起動される複数のシーケンスは、同一タイミングでは各々異なる入力バッファまたは出力ポートに対する基本処理を実行するように構成されているので、複数のシーケンスは同一タイミングでは各々異なる基本モジュールを動作させるだけである。パケット交換装置のポート数を増大させて大容量化した場合でも、同時に起動するシーケンスの数は増えるが、各基本モジュールの処理能力を高速化させずに済み、基本モジュールを処理能力の低いプロセッサで構成してアービタ部を構築することが可能となる。

【 0 0 3 4 】

上記の調停方式において、複数のシーケンスが終了した後に新たに起動される複数のシーケンスにおける基本処理の入力バッファ順または出力ポート順は、直前の複数のシーケンスにおけるそれとは逆順にすることによって、特定の入力バ

ッファまたは出力ポートが優先的に出力許可を獲得する事態が発生し、入力バッファ間あるいは出力ポート間で極端なサービス不公平性が発生するのを抑制することが可能である。

【 0 0 3 5 】

また、上記の調停を実行するアービタ部は入力バッファまたは出力ポートに対応した基本モジュールを伝達方向の異なる複数の信号線によってリング状に接続する構成とする。

【 0 0 3 6 】

一方、出力側シーケンシャル調停方式において、各シーケンス内で実行される出力ポート毎の基本処理では入力バッファに蓄積するパケットのうち、まず高優先クラスのパケットにその出力ポートへの出力許可を与えるように調停をするとともに、もし高優先クラスのパケットに出力許可を与えられない場合に、低優先クラスのパケットに出力許可を与えるように調停する。

【 0 0 3 7 】

また、各基本処理では高優先クラスに対する処理及び低優先クラスに対する処理に要する時間を単位時間の半分にする。これによって、複数の優先クラスに属するパケットを優先度に応じて効率よくスイッチングすることが可能なパケット交換装置を構築することが可能となる。

【 0 0 3 8 】

さらに、上記の調停を実行するアービタ部は入力バッファまたは出力ポートに対応した基本モジュールを伝達方向の異なる複数の信号線によってリング状に接続する構成とする。

【 0 0 3 9 】

上記の入力側シーケンシャル調停方式において、各シーケンスではまず高優先クラスのパケットを対象に全ての入力バッファのために基本処理を実行し、その後で低優先クラスのパケットを対象に全ての入力バッファのために基本処理を実行する。また、各シーケンスで実行される基本処理に要する時間を単位時間の半分にする。これによって、複数の優先クラスに属するパケットを優先度に応じて効率よくスイッチングすることが可能なパケット交換装置を構築することが可能

となる。

【 0 0 4 0 】

さらに、各シーケンスではまず高優先クラスの packets を対象に全ての入力バッファのために基本処理を実行し、その後で低優先クラスの packets を対象に全ての入力バッファのために基本処理を実行する構成において、各シーケンスで実行される基本処理に要する時間は単位時間のままとするとともに、シーケンス内の高優先クラスの packets に対する基本処理が終了した時点で別のシーケンスを開始する。

【 0 0 4 1 】

これによって、基本モジュールの処理能力を上げることなく、複数の優先クラスに属する packets を優先度に応じて効率よくスイッチングすることが可能な packets 交換装置を構築することが可能となる。

【 0 0 4 2 】

また、上記の調停を実行するアービタ部は入力バッファまたは出力ポートに対応した基本モジュールを優先度別の複数の信号線によってリング状に接続する構成とする。

【 0 0 4 3 】

尚、以上の各方法に係わる発明は装置に係わる説明としても成立する。また、上記の説明は相当する手順あるいは手段をコンピュータに実行させるためのプログラムを記録した機械読み取り可能な媒体としても成立する。

【 0 0 4 4 】

【発明の実施の形態】

次に、本発明の実施例について図面を参照して説明する。図 1 は本発明の第 1 の実施例による入力側シーケンシャル調停方式のシーケンスの処理タイミングを示す図である。図 1 において、本発明の第 1 の実施例による packets 交換装置は 4 本の入出力ポートを有するものとする。

【 0 0 4 5 】

本実施例ではポート数と同数の 4 本のシーケンスを同時に起動する。個々のシーケンスはそれぞれ異なる出力時刻の出力許可を決定するためのものである。例

えば、シーケンス # 0 は出力時刻 E の出力許可を決定し、シーケンス # 1 は出力時刻 F の出力許可を決定し、シーケンス # 2 は出力時刻 G の出力許可を決定し、シーケンス # 3 は出力時刻 H の出力許可を決定する。

【 0 0 4 6 】

これらのシーケンス # 0 ～ # 3 が終了すると、次の 4 本のシーケンス # 4 ～ # 7 が同時に起動される。この場合にも、シーケンス # 4 は出力時刻 I の出力許可を決定し、シーケンス # 5 は出力時刻 J の出力許可を決定し、シーケンス # 6 は出力時刻 K の出力許可を決定し、シーケンス # 7 は出力時刻 L の出力許可を決定する。

【 0 0 4 7 】

それぞれのシーケンスが連続する出力時刻の出力許可を決定するため、各シーケンス # 0 ～ # 7 は単位時間の 4 倍の長さの時間をかけて終了しても、回線速度に相当する最大レートでパケットを出力することができる。

【 0 0 4 8 】

また、シーケンス # 0 の中の基本処理を見ると、最初に入力バッファ # 0 の基本処理を実行し、次に入力バッファ # 1 の基本処理を実行する。以下、順に入力バッファ # 2 → 入力バッファ # 3 と実行する。シーケンス自体は単位時間の 4 倍の長さをかけて処理すればよいので、各基本処理は単位時間内で完結すればよいことになる。

【 0 0 4 9 】

上記と同様に、シーケンス # 1 の中の基本処理を見ると、最初に入力バッファ # 1 の基本処理を実行し、次に入力バッファ # 2 の基本処理を実行する。以下、順に入力バッファ # 3 → 入力バッファ # 0 と実行する。シーケンス # 2 の中の基本処理を見ると、最初に入力バッファ # 2 の基本処理を実行し、次に入力バッファ # 3 の基本処理を実行する。以下、順に入力バッファ # 0 → 入力バッファ # 1 と実行する。シーケンス # 3 の中の基本処理を見ると、最初に入力バッファ # 3 の基本処理を実行し、次に入力バッファ # 0 の基本処理を実行する。以下、順に入力バッファ # 1 → 入力バッファ # 2 と実行する。

【 0 0 5 0 】

上記のシーケンス # 0 ~ # 3 の次のタイミングで実行されるシーケンス # 4 の中の基本処理を見ると、最初に入力バッファ # 0 の基本処理を実行し、次に入力バッファ # 1 の基本処理を実行する。以下、順に入力バッファ # 2 → 入力バッファ # 3 と実行する。シーケンス # 5 の中の基本処理を見ると、最初に入力バッファ # 1 の基本処理を実行し、次に入力バッファ # 2 の基本処理を実行する。以下、順に入力バッファ # 3 → 入力バッファ # 0 と実行する。シーケンス # 6 の中の基本処理を見ると、最初に入力バッファ # 2 の基本処理を実行し、次に入力バッファ # 3 の基本処理を実行する。以下、順に入力バッファ # 0 → 入力バッファ # 1 と実行する。シーケンス # 7 の中の基本処理を見ると、最初に入力バッファ # 3 の基本処理を実行し、次に入力バッファ # 0 の基本処理を実行する。以下、順に入力バッファ # 1 → 入力バッファ # 2 と実行する。

【 0 0 5 1 】

図 2 は本発明の第 1 の実施例による入力側シーケンシャル調停方式のシーケンスの処理動作を示すフローチャートである。図 2 において、各シーケンスは独立的に平行に実行される。

【 0 0 5 2 】

例えば、シーケンス # 0 が開始されると（図 2 ステップ S 1）、全ての出力ポートを空き状態とし（図 2 ステップ S 2）、変数 K に 0 を代入し、変数 M に 0 を代入する（図 2 ステップ S 3）。

【 0 0 5 3 】

続いて、空いている出力ポートの中から、入力バッファ # M のために出力先を選択し（図 2 ステップ S 4）、K に 1 を増加し、M に 1 を増加するとともに、 $M > 3$ ならば M に 0 を代入する（図 2 ステップ S 5）。

【 0 0 5 4 】

この後に、 $K > 3$ でなければ（図 2 ステップ S 6）、ステップ S 4 に戻って選択処理を行い、 $K > 3$ であれば（図 2 ステップ S 6）、シーケンス # 0 を終了する（図 2 ステップ S 7）。

【 0 0 5 5 】

また、上記と同様に、シーケンス # 3 が開始されると（図 2 ステップ S 1 1）

、全ての出力ポートを空き状態とし（図2ステップS12）、変数Kに0を代入し、変数Mに0を代入する（図2ステップS13）。

【0056】

続いて、空いている出力ポートの中から、入力バッファ#Mのために出力先を選択し（図2ステップS14）、Kに1を増加し、Mに1を増加するとともに、 $M > 3$ ならばMに0を代入する（図2ステップS15）。

【0057】

この後に、 $K > 3$ でなければ（図2ステップS16）、ステップS14に戻って選択処理を行い、 $K > 3$ であれば（図2ステップS16）、シーケンス#3を終了する（図2ステップS17）。

【0058】

尚、シーケンス#1及びシーケンス#2については、図示していないが、上述したシーケンス#0及びシーケンス#3の処理動作と同様の処理動作が行われことになる。

【0059】

図3は本発明の第1の実施例によるパケット交換装置の大容量化のためにポート数を2倍に増大させた時の処理タイミングを示す図である。図3において、パケット交換装置の大容量化のためにポート数を2倍に増大させると、各シーケンス#0～#7内で実行する基本処理の数も2倍に増加するが、本発明によって同時に起動させるシーケンス数を2倍にすることにによって、それぞれのシーケンス#0～#7の処理時間も2倍に長くすることができ、結果として基本処理に要する時間を単位時間のままとすることができる。これによって、パケット交換装置を大容量化させても、回線速度に相当する最大レートでパケットをスイッチングすることが可能となる。

【0060】

さらに、本実施例ではシーケンス#0～#7内の基本処理の順番は若番順となるように構成しているが、各シーケンス#0～#7では最初に基本処理を行う入力バッファを互いに変えている。

【0061】

すなわち、シーケンス # 0 では入力バッファ # 0 → 入力バッファ # 1 → 入力バッファ # 2 → 入力バッファ # 3 → 入力バッファ # 4 → 入力バッファ # 5 → 入力バッファ # 6 → 入力バッファ # 7 の順で基本処理を実行する。シーケンス # 1 では入力バッファ # 1 → 入力バッファ # 2 → 入力バッファ # 3 → 入力バッファ # 4 → 入力バッファ # 5 → 入力バッファ # 6 → 入力バッファ # 7 → 入力バッファ # 0 の順で基本処理を実行する。シーケンス # 2 では入力バッファ # 2 → 入力バッファ # 3 → 入力バッファ # 4 → 入力バッファ # 5 → 入力バッファ # 6 → 入力バッファ # 7 → 入力バッファ # 0 → 入力バッファ # 1 の順で基本処理を実行する。シーケンス # 3 では入力バッファ # 3 → 入力バッファ # 4 → 入力バッファ # 5 → 入力バッファ # 6 → 入力バッファ # 7 → 入力バッファ # 0 → 入力バッファ # 1 → 入力バッファ # 2 の順で基本処理を実行する。

【 0 0 6 2 】

同様に、シーケンス # 4 では入力バッファ # 4 → 入力バッファ # 5 → 入力バッファ # 6 → 入力バッファ # 7 → 入力バッファ # 0 → 入力バッファ # 1 → 入力バッファ # 2 → 入力バッファ # 3 の順で基本処理を実行する。シーケンス # 5 では入力バッファ # 5 → 入力バッファ # 6 → 入力バッファ # 7 → 入力バッファ # 0 → 入力バッファ # 1 → 入力バッファ # 2 → 入力バッファ # 3 → 入力バッファ # 4 の順で基本処理を実行する。シーケンス # 6 では入力バッファ # 6 → 入力バッファ # 7 → 入力バッファ # 0 → 入力バッファ # 1 → 入力バッファ # 2 → 入力バッファ # 3 → 入力バッファ # 4 → 入力バッファ # 5 の順で基本処理を実行する。シーケンス # 7 では入力バッファ # 7 → 入力バッファ # 0 → 入力バッファ # 1 → 入力バッファ # 2 → 入力バッファ # 3 → 入力バッファ # 4 → 入力バッファ # 5 → 入力バッファ # 6 の順で基本処理を実行する。

【 0 0 6 3 】

各シーケンス # 0 ~ # 7 内での入力バッファ毎の基本処理の順序をこのように違えることによって、同一時間では各シーケンス # 0 ~ # 7 は互いに異なる入力バッファに対する基本処理を実行させるようになる。

【 0 0 6 4 】

図 4 は本発明の第 1 の実施例によるアービタ構成を示すブロック図である。図

4において、本発明の第1の実施例によるアービタ部1はこの特性を利用して入力側シーケンシャル調停を実行するための構成をとっている。尚、図示していないが、本発明の第1の実施例によるシステム構成は図20に示す従来のシステムと同様である。

【0065】

この構成は入力バッファに対応した基本モジュール（#0～#3）11～14を若番順に信号線100を介してリング状に接続した構成である。各基本モジュール11～14は入力バッファからの出力要求信号を受信することによって、対応する入力バッファがどの出力ポート宛のセルを何個保有しているかを把握している。

【0066】

1つのシーケンスにおいて最初に実行する基本処理に対応した基本モジュール11～14に開始信号を入力すると、その基本モジュール11～14は基本処理を実行して対応する入力バッファのために出力先を獲得する。

【0067】

基本処理が終了すると、その基本モジュール11～14は自らが獲得して占有状態となった出力ポートを除いた他の空いている出力ポートを信号線100経由で次段に伝達する。次段の基本モジュール12～14、11は上流から伝達されてきた空き出力ポート情報を元に、対応する入力バッファのために出力先を獲得する。空き出力ポート情報が全ての基本モジュール11～14を経由した時点で、1つのシーケンスの処理が終了する。

【0068】

本発明の第1の実施例ではパケット交換装置の大容量化によってポート数を増大させてもリング接続する基本モジュールが増えるだけで、依然として同一時間内では各基本モジュールが1つのシーケンスのための処理だけを実行するだけである。このように、本発明による入力側シーケンシャル調停を実行するアービタ部1を入力バッファに対応した基本モジュール11～14のリング接続によって構成する場合、各基本モジュール11～14は単位時間内に実行する基本処理が常に1つだけであり、ポート数の増数によるパケット交換装置の大容量化に対し

て処理速度を高速化せずにすむ。

【 0 0 6 9 】

図 5 ～ 図 9 は本発明の第 1 の実施例による出力先決定の動作例を示す図である。
図 5 ～ 図 9 において、基本モジュール（# 0 ～ # 3） 1 1 ～ 1 4 はそれぞれ図
示せぬ入力バッファ # 0 ～ # 3 に対応しているものとする。

【 0 0 7 0 】

初期状態において、各基本モジュール # 0 ～ # 3 はそれぞれ対応する入力バッ
ファ # 0 ～ # 3 から出力可能な宛先出力ポート毎のセル蓄積数を把握している。
例えば、入力バッファ # 0 に対応する基本モジュール # 0 では入力バッファ # 0
が出力ポート # 1, # 2, # 3 宛にそれぞれ 3 個、5 個、2 個のセルを蓄積して
いることを把握している（図 6 参照）。

【 0 0 7 1 】

これらの情報は出力要求信号を経由して各入力バッファ # 0 ～ # 3 から獲得す
る。本実施例では時間軸を単位時間で区切り、それぞれの単位時間幅の時間領域
に時刻識別子 A、B、C、・・・を付ける。時刻 A においてシーケンス # 0 ～ #
3 が同時に起動される。各シーケンス # 0 ～ # 3 はそれぞれ時刻 E、F、G、H
の出力先を決定するシーケンスである。

【 0 0 7 2 】

また、各シーケンス # 0 ～ # 3 が実行する基本処理の順序は、

シーケンス # 0 : 入力バッファ # 0 → 入力バッファ # 1
 → 入力バッファ # 2 → 入力バッファ # 3
シーケンス # 1 : 入力バッファ # 1 → 入力バッファ # 2
 → 入力バッファ # 3 → 入力バッファ # 0
シーケンス # 2 : 入力バッファ # 2 → 入力バッファ # 3
 → 入力バッファ # 0 → 入力バッファ # 1
シーケンス # 3 : 入力バッファ # 3 → 入力バッファ # 0
 → 入力バッファ # 1 → 入力バッファ # 2

となっている。

【 0 0 7 3 】

そこで、シーケンス # 0 は基本モジュール # 0 に、シーケンス # 1 は基本モジュール # 1 に、シーケンス # 2 は基本モジュール # 2 に、シーケンス # 3 は基本モジュール # 3 にそれぞれシーケンス開始信号を入力する（図 6 の [状態 A] 参照）。

【 0 0 7 4 】

シーケンス開始信号を入力された基本モジュール # 0 ～ # 3 はそのシーケンス # 0 ～ # 3 のために基本処理を実行する。本実施例では基本モジュール # 0 がシーケンス # 0 のために入力バッファ # 0 の基本処理を開始する。この時点では各シーケンス # 0 ～ # 3 においてどの出力ポートも占有されていない。

【 0 0 7 5 】

本実施例では基本モジュール # 0 が入力バッファ # 0 に対して出力ポート # 1 の出力許可を与えるような処理結果を出したとする。基本モジュール # 0 は入力バッファ # 0 から出力ポート # 1 宛のセル蓄積数を 1 だけ減算して 2 個に更新する。さらに、基本モジュール # 0 はシーケンス # 0 において入力バッファ # 0 のために出力ポート # 1 を獲得したので、シーケンス # 0 では空いている出力ポートは # 0, # 2, # 3 にしかないことを信号線 1 0 0 を経由して次段の基本モジュール # 1 に通知する（図 7 の [状態 B] 参照）。

【 0 0 7 6 】

基本モジュール # 0 に対して説明したのと全く同じ動作がそれぞれ異なるシーケンスのために行われている。例えば、シーケンス開始信号の入力後、基本モジュール # 1 ではシーケンス # 1 のために入力バッファ # 1 の基本処理を開始し、基本モジュール # 2 ではシーケンス # 2 のために入力バッファ # 2 の基本処理を開始し、基本モジュール # 3 ではシーケンス # 3 のために入力バッファ # 3 の基本処理を開始する。そして、シーケンス # 0 ～ # 3 毎の空き出力ポート情報を次段の基本モジュールに通知する。

【 0 0 7 7 】

次に、各基本モジュール # 0 ～ # 3 は上流から通知された空き出力ポート情報を基に、対応する入力バッファのために基本処理を実行する。例えば、基本モジュール # 0 は上流の基本モジュール # 3 から通知されたシーケンス # 3 のための

空き出力ポート情報からシーケンス # 3 において入力バッファ # 0 のための出力先を決定する基本処理を実行する。シーケンス # 3 のための空き出力ポート情報は出力ポート # 0, # 1, # 3 が空いていることを示している（図 8 の [状態 C] 参照）。

【 0 0 7 8 】

基本処理の結果、基本モジュール # 0 はシーケンス # 3 においては入力バッファ # 0 の出力先を出力ポート # 3 と決定する。シーケンスは異なる時刻のための出力先を決定するものなので、同時に起動される複数のシーケンスにおいて同一の入力バッファから同一の出力ポートの出力許可を与えるようにしても何ら構わない。同一のシーケンス内において、複数の入力バッファに同一の出力ポートへの出力許可を与えるようにしなければよい（図 9 の [状態 D] 参照）。

【 0 0 7 9 】

以下、上述の動作を繰り返して、それぞれのシーケンスのための空き出力ポート情報が全ての基本モジュールを通過した時点でシーケンスが終了する。例えば、基本モジュール # 0 から発生されたシーケンス # 0 のための空き出力ポート情報が、基本モジュール # 3 に到着して処理が終了した時点でシーケンス # 0 が終了する。

【 0 0 8 0 】

各シーケンス # 0 ~ # 3 を開始する基本モジュールは互いに異なるので、各シーケンスが終了する基本モジュールもまた互いに異なる。各基本モジュール # 0 ~ # 3 はシーケンスが終了するまでの間、それぞれのシーケンス # 0 ~ # 3 において対応する入力バッファのためにどの出力ポートの出力許可を獲得したかを記憶しておき、シーケンス # 0 ~ # 3 が終了した時点で出力許可信号を介してそれらの結果を入力バッファ # 0 ~ # 3 に伝達する。

【 0 0 8 1 】

また、同じ出力許可情報を図示せぬスイッチ交換部にも伝達しておく。入力バッファ # 0 ~ # 3 ではそれぞれのシーケンス # 0 ~ # 3 が対応する時刻において許可された出力先に対してセルを出力するとともに、スイッチ交換部はそれぞれの時刻においてスイッチング許可を与えられた入力バッファ # 0 ~ # 3 と出力ポ

ートとの間でスイッチングできるように制御する。

【 0 0 8 2 】

さらに、シーケンス # 0 ~ # 3 の終了後に、時刻 I、J、K、L のための出力許可を決定する新規のシーケンス # 4 ~ # 7 を起動し、上述した処理と同様の処理を繰り返し行う。

【 0 0 8 3 】

図 1 0 は本発明の第 1 の実施例によるパケット交換装置における出力側シーケンシャル調停方式のシーケンスの処理タイミングを示す図である。図 1 0 において、本発明の第 1 の実施例によるパケット交換装置は 4 本の入出力ポートを有するものとする。

【 0 0 8 4 】

本実施例ではポート数と同数の 4 本のシーケンスを同時に起動する。個々のシーケンスはそれぞれ異なる出力時刻の出力許可を決定するためのものである。例えば、シーケンス # 0 は出力時刻 E の出力許可を決定し、シーケンス # 1 は出力時刻 F の出力許可を決定し、シーケンス # 2 は出力時刻 G の出力許可を決定し、シーケンス # 3 は出力時刻 H の出力許可を決定する。

【 0 0 8 5 】

これらのシーケンス # 0 ~ # 3 が終了すると、次の 4 本のシーケンス # 4 ~ # 7 が同時に起動される。この場合にも、シーケンス # 4 は出力時刻 I の出力許可を決定し、シーケンス # 5 は出力時刻 J の出力許可を決定し、シーケンス # 6 は出力時刻 K の出力許可を決定し、シーケンス # 7 は出力時刻 L の出力許可を決定する。

【 0 0 8 6 】

それぞれのシーケンスが連続する出力時刻の出力許可を決定するため、各シーケンス # 0 ~ # 7 は単位時間の 4 倍の長さの時間をかけて終了しても、回線速度に相当する最大レートでパケットを出力することができる。

【 0 0 8 7 】

また、シーケンス # 0 の中の基本処理を見ると、最初に入力バッファ # 0 の基本処理を実行し、次に入力バッファ # 1 の基本処理を実行する。以下、順に入力

バッファ#2→入力バッファ#3と実行する。シーケンス自体は単位時間の4倍の長さをかけて処理すればよいので、各基本処理は単位時間内で完結すればよいことになる。

【0088】

上記と同様に、シーケンス#1の中の基本処理を見ると、最初に入力バッファ#1の基本処理を実行し、次に入力バッファ#2の基本処理を実行する。以下、順に入力バッファ#3→入力バッファ#0と実行する。シーケンス#2の中の基本処理を見ると、最初に入力バッファ#2の基本処理を実行し、次に入力バッファ#3の基本処理を実行する。以下、順に入力バッファ#0→入力バッファ#1と実行する。シーケンス#3の中の基本処理を見ると、最初に入力バッファ#3の基本処理を実行し、次に入力バッファ#0の基本処理を実行する。以下、順に入力バッファ#1→入力バッファ#2と実行する。

【0089】

上記のシーケンス#0～#3の次のタイミングで実行されるシーケンス#4の中の基本処理を見ると、最初に入力バッファ#0の基本処理を実行し、次に入力バッファ#1の基本処理を実行する。以下、順に入力バッファ#2→入力バッファ#3と実行する。シーケンス#5の中の基本処理を見ると、最初に入力バッファ#1の基本処理を実行し、次に入力バッファ#2の基本処理を実行する。以下、順に入力バッファ#3→入力バッファ#0と実行する。シーケンス#6の中の基本処理を見ると、最初に入力バッファ#2の基本処理を実行し、次に入力バッファ#3の基本処理を実行する。以下、順に入力バッファ#0→入力バッファ#1と実行する。シーケンス#7の中の基本処理を見ると、最初に入力バッファ#3の基本処理を実行し、次に入力バッファ#0の基本処理を実行する。以下、順に入力バッファ#1→入力バッファ#2と実行する。

【0090】

図11は本発明の第1の実施例によるバケット交換装置における出力側シーケンシャル調停方式のシーケンスの処理動作を示すフローチャートである。図2において、各シーケンスは独立的に平行に実行される。

【0091】

例えば、シーケンス # 0 が開始されると (図 1 1 ステップ S 2 1)、全ての入力バッファを空き状態とし (図 1 1 ステップ S 2 2)、変数 K に 0 を代入し、変数 M に 0 を代入する (図 1 1 ステップ S 2 3)。

【 0 0 9 2 】

続いて、空いている入力バッファの中から、出力ポート # M への出力許可を与える入力バッファを選択し (図 1 1 ステップ S 2 4)、K に 1 を増加し、M に 1 を増加するとともに、 $M > 3$ ならば M に 0 を代入する (図 1 1 ステップ S 2 5)。

【 0 0 9 3 】

この後に、 $K > 3$ でなければ (図 1 1 ステップ S 2 6)、ステップ S 2 4 に戻って選択処理を行い、 $K > 3$ であれば (図 1 1 ステップ S 2 6)、シーケンス # 0 を終了する (図 1 1 ステップ S 2 7)。

【 0 0 9 4 】

また、上記と同様に、シーケンス # 3 が開始されると (図 1 1 ステップ S 3 1)、全ての入力バッファを空き状態とし (図 1 1 ステップ S 3 2)、変数 K に 0 を代入し、変数 M に 0 を代入する (図 1 1 ステップ S 3 3)。

【 0 0 9 5 】

続いて、空いている入力バッファの中から、出力ポート # M への出力許可を与える入力バッファを選択し (図 1 1 ステップ S 3 4)、K に 1 を増加し、M に 1 を増加するとともに、 $M > 3$ ならば M に 0 を代入する (図 1 1 ステップ S 3 5)。

【 0 0 9 6 】

この後に、 $K > 3$ でなければ (図 1 1 ステップ S 3 6)、ステップ S 3 4 に戻って選択処理を行い、 $K > 3$ であれば (図 1 1 ステップ S 3 6)、シーケンス # 3 を終了する (図 1 1 ステップ S 3 7)。

【 0 0 9 7 】

尚、シーケンス # 1 及びシーケンス # 2 については、図示していないが、上述したシーケンス # 0 及びシーケンス # 3 の処理動作と同様の処理動作が行われことになる。

【 0 0 9 8 】

図 1 2 は本発明の第 1 の実施例によるアービタ構成を示すブロック図である。図 1 2 において、信号線 2 0 0 を介してリング状に接続されてアービタ部 2 を構成する各基本モジュール（# 0 ～ # 3） 2 1 ～ 2 4 が実行する基本処理は、ある出力ポートのために入力バッファを選択するという違いがあるものの、基本的には入力側シーケンシャル調停方式と全く同じ処理タイミングで実現され、全く同様の効果が得られる。

【 0 0 9 9 】

図 1 3 は本発明の第 2 の実施例による入力側シーケンシャル調停方式における処理タイミングを示す図である。図 1 3 において、本実施例ではシーケンスが終了し、新規に起動するシーケンスでは基本処理タイミングを実行する順序を直前のシーケンスと全く逆にしている。

【 0 1 0 0 】

例えば、シーケンス # 0 では入力バッファ # 0 → 入力バッファ # 1 → 入力バッファ # 2 → 入力バッファ # 3 の順序で基本処理を実行するが、その直後に実行されるシーケンス # 4 では全く逆の順序の入力バッファ # 0 → 入力バッファ # 3 → 入力バッファ # 2 → 入力バッファ # 1 に従って基本処理を実行する。このように構成することで、若番の入力バッファが優先的に出力許可を獲得するのを防ぎ、入力バッファ間で公平なサービスを提供することができる。

【 0 1 0 1 】

同様に、シーケンス # 1 では入力バッファ # 1 → 入力バッファ # 2 → 入力バッファ # 3 → 入力バッファ # 0 の順序で基本処理を実行するが、その直後に実行されるシーケンス # 5 では全く逆の順序の入力バッファ # 1 → 入力バッファ # 0 → 入力バッファ # 3 → 入力バッファ # 2 に従って基本処理を実行する。

【 0 1 0 2 】

シーケンス # 2 では入力バッファ # 2 → 入力バッファ # 3 → 入力バッファ # 0 → 入力バッファ # 1 の順序で基本処理を実行するが、その直後に実行されるシーケンス # 6 では全く逆の順序の入力バッファ # 2 → 入力バッファ # 1 → 入力バッファ # 0 → 入力バッファ # 3 に従って基本処理を実行する。

【 0 1 0 3 】

シーケンス # 3 では入力バッファ # 3 → 入力バッファ # 0 → 入力バッファ # 1 → 入力バッファ # 2 の順序で基本処理を実行するが、その直後に実行されるシーケンス # 7 では全く逆の順序の入力バッファ # 3 → 入力バッファ # 2 → 入力バッファ # 1 → 入力バッファ # 0 に従って基本処理を実行する。

【 0 1 0 4 】

また、出力バッファ側シーケンシャル調停方式に対しても、上述した入力側シーケンシャル調停方式と同様の構成をとることによって、上記と同様の効果が得られる。

【 0 1 0 5 】

図 1 4 は本発明の第 2 の実施例によるアービタ構成を示すブロック図である。図 1 4 において、本発明の第 2 の実施例によるアービタ部 3 は基本モジュール (# 0 ~ # 3) 3 1 ~ 3 4 を伝達方向の異なる複数の信号線 (A , B) 3 0 1 , 3 0 2 でリング接続することによって実現される。

【 0 1 0 6 】

上記のシーケンス # 0 ~ # 3 内で実行される基本処理のように、基本処理が正順に従う時には信号線 (A) 3 0 1 を使用し、シーケンス # 4 ~ # 7 内で実行される基本処理のように、基本処理が逆順に従う時には信号線 (B) 3 0 2 を使用する。

【 0 1 0 7 】

図 1 5 は本発明の第 3 の実施例による入力側シーケンシャル調停方式における処理タイミングを示す図である。図 1 5 において、本発明の第 3 の実施例では各シーケンス # 0 ~ # 7 内で実行される基本処理の間に空き時間を設定し、複数のシーケンス # 0 ~ # 3 が同時に起動されてから単位時間ずらせて別の複数のシーケンス # 4 ~ # 7 を起動させている。各シーケンス # 0 ~ # 7 は各々異なる時刻のための出力許可を決定する。

【 0 1 0 8 】

上記の構成をとることによって、基本モジュール間の空きポート情報の通信のために空き時間を利用することができるとともに、1 つのシーケンスが処理を完

了するのに要する時間が2倍になるが、同時に起動されるシーケンスの数を2倍にすることで、回線速度に相当する最大レートでのパケット出力を保持することができる。

【0109】

また、出力バッファ側シーケンシャル調停方式に対しても、上述した入力側シーケンシャル調停方式と同様の構成をとることによって、上記と同様の効果が得られる。

【0110】

図16は本発明の第4の実施例による出力側シーケンシャル調停方式において複数の優先クラスが存在する場合を処理するための処理タイミングを示す図である。図16において、本発明の第4の実施例では各シーケンス#0～#3内で実行される出力ポート毎の基本処理を2つの処理内容に分割するとともに、出力ポートに対応した基本モジュール内では対応する出力ポート宛の優先度別セル数を入力バッファ毎に管理している。

【0111】

基本処理の前半では高優先セルを保有する入力バッファのみを選択の対象として、対応する出力ポートへの出力許可をどの入力バッファに与えるかを決定する。基本処理の前半の結果、その出力ポートへの出力許可をどの入力バッファにも与えることができなければ、低優先セルを保有する入力バッファのみを選択の対象として、対応する出力ポートへの出力許可をどの入力バッファに与えるかを決定する。

【0112】

すなわち、シーケンス#0では出力ポート#0のための基本処理（高優先クラス対象処理、低優先クラス対象処理）→出力ポート#1のための基本処理（高優先クラス対象処理、低優先クラス対象処理）→出力ポート#2のための基本処理（高優先クラス対象処理、低優先クラス対象処理）→出力ポート#3のための基本処理（高優先クラス対象処理、低優先クラス対象処理）の順で実行される。

【0113】

シーケンス#1では出力ポート#1のための基本処理（高優先クラス対象処理

、低優先クラス対象処理)→出力ポート#2のための基本処理(高優先クラス対象処理、低優先クラス対象処理)→出力ポート#3のための基本処理(高優先クラス対象処理、低優先クラス対象処理)→出力ポート#0のための基本処理(高優先クラス対象処理、低優先クラス対象処理)の順で実行される。

【0114】

シーケンス#2では出力ポート#2のための基本処理(高優先クラス対象処理、低優先クラス対象処理)→出力ポート#3のための基本処理(高優先クラス対象処理、低優先クラス対象処理)→出力ポート#0のための基本処理(高優先クラス対象処理、低優先クラス対象処理)→出力ポート#1のための基本処理(高優先クラス対象処理、低優先クラス対象処理)の順で実行される。

【0115】

シーケンス#3では出力ポート#3のための基本処理(高優先クラス対象処理、低優先クラス対象処理)→出力ポート#0のための基本処理(高優先クラス対象処理、低優先クラス対象処理)→出力ポート#1のための基本処理(高優先クラス対象処理、低優先クラス対象処理)→出力ポート#2のための基本処理(高優先クラス対象処理、低優先クラス対象処理)の順で実行される。

【0116】

全ての基本処理を上記のように構成することで、各々異なる入力バッファに蓄積された高優先セルと低優先セルとが同一の出力ポートを宛先としている場合でも、必ず高優先クラスのセルに対して優先的にその出力ポートへの出力許可を与えるようにすることができる。

【0117】

図17は本発明の第5の実施例による入力側シーケンシャル調停方式において複数の優先クラスが存在する場合を処理するための処理タイミングを示す図である。図17において、本発明の第5の実施例では各シーケンス#0～#3内において、まず高優先クラスの packets を対象とする基本処理を全ての入力バッファに対して行い、次に低優先クラスの packets を対象とする基本処理を全ての入力バッファに対して行う。

【0118】

高優先クラスの packets を対象とする基本処理では高優先クラスの packets を送出できる出力ポートがあるかどうか探索して出力許可を決定する。本発明の第 5 の実施例では複数の優先クラスをサポートしない場合と比較して基本処理の所要時間を単位時間の半分にする。

【 0 1 1 9 】

したがって、シーケンス # 0 ～ # 3 全体の所要時間が変わらないようになっており、同時に実行するシーケンスの数を増量しなくても回線速度に相当する最大レートでの送信を可能としている。

【 0 1 2 0 】

すなわち、シーケンス # 0 では入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 2 1 】

シーケンス # 1 では入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 2 2 】

シーケンス # 2 では入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力

バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）の順で実行される。

【0 1 2 3】

シーケンス # 3 では入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）の順で実行される。

【0 1 2 4】

処理タイミングを上記のように構成することで、各々異なる入力バッファに蓄積された高優先セルと低優先セルとが同一の出力ポートを宛先としている場合でも、必ず高優先クラスのセルに対して優先的にその出力ポートへの出力許可を与えるようにすることができる。

【0 1 2 5】

図 1 8 は本発明の第 6 の実施例による入力側シーケンシャル調停方式において複数の優先クラスが存在する場合を処理するための処理タイミングを示す図である。図 1 8 において、本発明の第 6 の実施例では各シーケンス # 0 ～ # 7 内において、まず高優先クラスのパケットを対象とする基本処理を全ての入力バッファに対して行い、次に低優先クラスのパケットを対象とする基本処理を全ての入力バッファに対して行う。

【0 1 2 6】

シーケンス # 0 ～ # 3 において高優先クラスのパケットを基本処理を全ての入

力バッファに対して実行した後に、別の複数のシーケンス # 4 ~ # 7 を新規に起動させる。

【 0 1 2 7 】

本発明の第 6 の実施例では基本処理の所要時間が単位時間のままである。したがって、シーケンス全体を完了する時間が複数の優先クラスをサポートしない場合と比較して 2 倍に長くなるが、同時に実行するシーケンスを 2 倍とすることで回線速度に相当する最大レートでの送信を可能としている。

【 0 1 2 8 】

すなわち、シーケンス # 0 では入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 2 9 】

シーケンス # 1 では入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 3 0 】

シーケンス # 2 では入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1

のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 3 1 】

シーケンス # 3 では入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 3 2 】

シーケンス # 4 はシーケンス # 0 ～ # 3 の高優先パケット対象処理が終了した後に起動され、入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 3 3 】

シーケンス # 5 はシーケンス # 0 ～ # 3 の高優先パケット対象処理が終了した後に起動され、入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための

の基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 3 4 】

シーケンス # 6 はシーケンス # 0 ～ # 3 の高優先パケット対象処理が終了した後に起動され、入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 3 5 】

シーケンス # 7 はシーケンス # 0 ～ # 3 の高優先パケット対象処理が終了した後に起動され、入力バッファ # 3 のための基本処理（高優先パケット対象処理）→入力バッファ # 0 のための基本処理（高優先パケット対象処理）→入力バッファ # 1 のための基本処理（高優先パケット対象処理）→入力バッファ # 2 のための基本処理（高優先パケット対象処理）→入力バッファ # 3 のための基本処理（低優先パケット対象処理）→入力バッファ # 0 のための基本処理（低優先パケット対象処理）→入力バッファ # 1 のための基本処理（低優先パケット対象処理）→入力バッファ # 2 のための基本処理（低優先パケット対象処理）の順で実行される。

【 0 1 3 6 】

処理タイミングを上述のように構成することで、各々異なる入力バッファに蓄積された高優先セルと低優先セルとが同一の出力ポートを宛先としている場合でも、必ず高優先クラスのセルに対して優先的にその出力ポートへの出力許可を与

えるようにすることができる。

【0137】

図19は本発明の第6の実施例によるアービタ構成を示すブロック図である。図19において、本発明の第6の実施例によるアービタ部4は基本モジュール（#0～#3）41～44を優先度別の複数の信号線（高優先信号線401及び低優先信号線402）でリング接続することによって実現される。

【0138】

シーケンス内で実行される基本処理が高優先クラスの packets を対象としている限りは高優先信号線を使用し、低優先クラスの packets を対象としている限りは低優先信号線を使用することによって、複数のシーケンスによって、同一の基本モジュール41～44でそれぞれ高優先クラスと低優先クラスの基本処理が同時に行われても、次段の基本モジュール42～44、41への同時通知を可能とする。

【0139】

このように、本発明によれば、ポート数に相当する複数のシーケンスを同時に起動し、同一単位時間内では各シーケンスが実行する基本処理は互いに異なる入力バッファ／出力ポートのための基本処理を実行するように構成にしたので、パケット交換装置のポート数をX倍に増大させて大容量化しても、同時に起動させるシーケンス数も増大させることによって、各シーケンスは大容量化前のX倍の長さの時間をかけて処理完了しても、回線速度に相当する最大レートでパケットを出力することができ、基本処理の処理能力を高速化させずに済む。

【0140】

また、パケット交換装置のポート数がいかなる数の時でも、基本処理は常に同じ時間で完了させるように構成しており、同一時刻に各シーケンスは同一の入力バッファ／出力ポートのための基本処理を実行させることはないので、基本処理の処理能力を高速化させずに済む。

【0141】

尚、本発明の第1～第6の実施例は本発明を限定するものではなく、本発明の主旨及び特許請求の範囲内での種々の変形も本発明の範囲内である。

【 0 1 4 2 】

本発明ではポート数に相当する複数のシーケンスを同時に起動し、同一単位時間内で各シーケンスが実行する基本処理が互いに異なる入力バッファ／出力ポートのための基本処理を実行するように構成にしたので、パケット交換装置のポート数をX倍に増大させて大容量化しても、同時に起動させるシーケンス数も増大させることによって、各シーケンスは大容量化前のX倍の長さの時間をかけて処理完了しても、回線速度に相当する最大レートでパケットを出力することができ、基本処理の処理能力を高速化させずに済む。

【 0 1 4 3 】

また、パケット交換装置のポート数がいかなる数の時でも、基本処理は常に同じ時間で完了させるように構成しており、また、同一時刻に各シーケンスは同一の入力バッファ／出力ポートのための基本処理を実行させることはないので、基本処理の処理能力を高速化させずに済む。

【 0 1 4 4 】

上記発明の調停を実行するアービタ部 1 は入力バッファまたは出力ポートに対応した基本モジュール 1 1 ～ 1 4 を信号線 1 0 0 によってリング状に接続する構成とすることが、パケット交換装置のポート数を増大させて大容量化した場合でも、基本処理は常に同じ時間で完了させるように構成しているので、各基本モジュール 1 1 ～ 1 4 の処理能力を高速化させずに済む。

【 0 1 4 5 】

上記発明の調停方式において、複数のシーケンス # 0 ～ # 3 が終了した後に新たに起動される複数のシーケンス # 4 ～ # 7 における基本処理の入力バッファ順または出力ポート順は、直前の複数のシーケンス # 0 ～ # 3 におけるそれとは逆順にする構成にしたことで、特定の入力バッファまたは出力ポートが優先的に出力許可を獲得する事態が発生して、入力バッファ間あるいは出力ポート間で極端なサービス不公平性が発生するのを抑制することができる。

【 0 1 4 6 】

上記発明の調停を実行するアービタ部 1, 2 は、入力バッファまたは出力ポートに対応した基本モジュール 1 1 ～ 1 4, 2 1 ～ 2 4 を伝達方向の異なる複数の

信号線 1 0 0, 2 0 1, 2 0 2 によってリング状に接続する構成とすることができる。各基本モジュール 1 1 ~ 1 4, 2 1 ~ 2 4 はそれぞれ対応する入力バッファまたは出力ポートのための基本処理を実行する。基本処理を実行した後、未だ占有されていない出力ポート情報または未だ出力許可を獲得していない入力バッファ情報を信号線経由で次段の基本モジュールに伝達する。

【 0 1 4 7 】

また、入力バッファ順あるいは出力ポート順が逆順になるシーケンスでは、伝達方向が逆の信号線を経由して、未だ占有されていない出力ポート情報または未だ出力許可を獲得していない入力バッファ情報を次段の基本モジュールに伝達する。

【 0 1 4 8 】

本発明によって、同時に起動される複数のシーケンスは、同一タイミングでは各々異なる入力バッファまたは出力ポートに対する基本処理を実行するように構成されているので、複数のシーケンスは同一タイミングでは各々異なる基本モジュールを動作させるだけである。パケット交換装置のポート数を増大させて大容量化した場合でも、基本処理は常に同じ時間で完了させるように構成しているので、各基本モジュールの処理能力を高速化させずに済む。

【 0 1 4 9 】

本発明を用いた出力側シーケンシャル調停方式において、各シーケンスで実行される出力ポート毎の基本処理では、まず高優先クラスのパケットにその出力ポートへの出力許可を与えるように調停をするとともに、もし高優先クラスのパケットに出力許可を与えられない場合に低優先クラスのパケットに出力許可を与えるように調停する。

【 0 1 5 0 】

また、各基本処理では、高優先クラスに対する処理及び低優先クラスに対する処理に要する時間を単位時間の半分にするように構成したことで、複数の優先クラスに属するパケットを優先度に応じて効率よくスイッチングすることが可能なパケット交換装置を構築することができる。

【 0 1 5 1 】

本発明を用いた入力側シーケンシャル調停方式において、各シーケンスではまず高優先クラスの packets を対象に全ての入力バッファのために基本処理を実行し、その後で低優先クラスの packets を対象に全ての入力バッファのために基本処理を実行する。

【0152】

また、各シーケンスで実行される基本処理に要する時間を単位時間の半分にするように構成したことで、複数の優先クラスに属する packets を優先度に応じて効率よくスイッチングすることが可能な packets 交換装置を構築することができる。

【0153】

本発明を用いた入力側シーケンシャル調停方式において、各シーケンスではまず高優先クラスの packets を対象に全ての入力バッファのために基本処理を実行し、その後で低優先クラスの packets を対象に全ての入力バッファのために基本処理を実行する構成としたことで、各シーケンスで実行される基本処理に要する時間は単位時間のままとするとともに、シーケンス内の低優先クラスの packets に対する基本処理が開始される時点で別のシーケンスを開始する。

【0154】

これによって、アービタの処理能力を上げることなく、複数の優先クラスに属する packets を優先度に応じて効率よくスイッチングすることが可能な packets 交換装置を構築することができる。

【0155】

尚、上述した各方法に係わる発明は、装置に係わる説明としても成立する。また、上記の説明は、相当する手順あるいは手段をコンピュータに実行させるためのプログラムを記録した機械読み取り可能な媒体としても成立する。

【0156】

【発明の効果】

以上説明したように本発明によれば、入力ポートに到着する packets を一時的に蓄積する入力バッファと、特定の入力ポートと出力ポートとの間で packets を交換するスイッチ交換部とを備え、 packets を入力ポートと出力ポートとの間で

スイッチングするパケット交換装置において、入力バッファのどれからどの出力ポートへパケットを出力させるかを決定するアービタ回路で、入力バッファ及び出力ポートのうちの少なくとも一方を選択する基本処理を予め決められた順序に従って実行する複数のシーケンスを同時に起動するとともに、複数のシーケンスが各々異なる出力時刻の出力許可を決定することによって、アービタ回路に安価な低処理能力のプロセッサを用いる場合でも装置の大容量化を図ることができ、複数の優先度別クラスを効率よく収容することができるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例による入力側シーケンシャル調停方式のシーケンスの処理タイミングを示す図である。

【図 2】

本発明の第 1 の実施例による入力側シーケンシャル調停方式のシーケンスの処理動作を示すフローチャートである。

【図 3】

本発明の第 1 の実施例によるパケット交換装置の大容量化のためにポート数を 2 倍に増大させた時の処理タイミングを示す図である。

【図 4】

本発明の第 1 の実施例によるアービタ構成を示すブロック図である。

【図 5】

本発明の第 1 の実施例による出力先決定の動作例を示す図である。

【図 6】

本発明の第 1 の実施例による出力先決定の動作例を示す図である。

【図 7】

本発明の第 1 の実施例による出力先決定の動作例を示す図である。

【図 8】

本発明の第 1 の実施例による出力先決定の動作例を示す図である。

【図 9】

本発明の第 1 の実施例による出力先決定の動作例を示す図である。

【図 1 0】

本発明の第 1 の実施例によるパケット交換装置における出力側シーケンシャル調停方式のシーケンスの処理タイミングを示す図である。

【図 1 1】

本発明の第 1 の実施例によるパケット交換装置における出力側シーケンシャル調停方式のシーケンスの処理動作を示すフローチャートである。

【図 1 2】

本発明の第 1 の実施例によるアービタ構成を示すブロック図である。

【図 1 3】

本発明の第 2 の実施例による入力側シーケンシャル調停方式における処理タイミングを示す図である。

【図 1 4】

本発明の第 2 の実施例によるアービタ構成を示すブロック図である。

【図 1 5】

本発明の第 3 の実施例による入力側シーケンシャル調停方式における処理タイミングを示す図である。

【図 1 6】

本発明の第 4 の実施例による出力側シーケンシャル調停方式において複数の優先クラスが存在する場合を処理するための処理タイミングを示す図である。

【図 1 7】

本発明の第 5 の実施例による入力側シーケンシャル調停方式において複数の優先クラスが存在する場合を処理するための処理タイミングを示す図である。

【図 1 8】

本発明の第 6 の実施例による入力側シーケンシャル調停方式において複数の優先クラスが存在する場合を処理するための処理タイミングを示す図である。

【図 1 9】

本発明の第 6 の実施例によるアービタ構成を示すブロック図である。

【図 2 0】

従来のパケット交換装置の構成を示すブロック図である。

【図 2 1】

図 2 0 のパケット交換部の構成を示す図である。

【図 2 2】

従来の入力側シーケンシャル調停方式におけるシーケンスの処理を示すフローチャートである。

【図 2 3】

従来の出力側シーケンシャル調停方式におけるシーケンスの処理を示すフローチャートである。

【図 2 4】

従来の入力側シーケンシャル調停方式または出力側シーケンシャル調停方式におけるシーケンスの処理タイミングを示す図である。

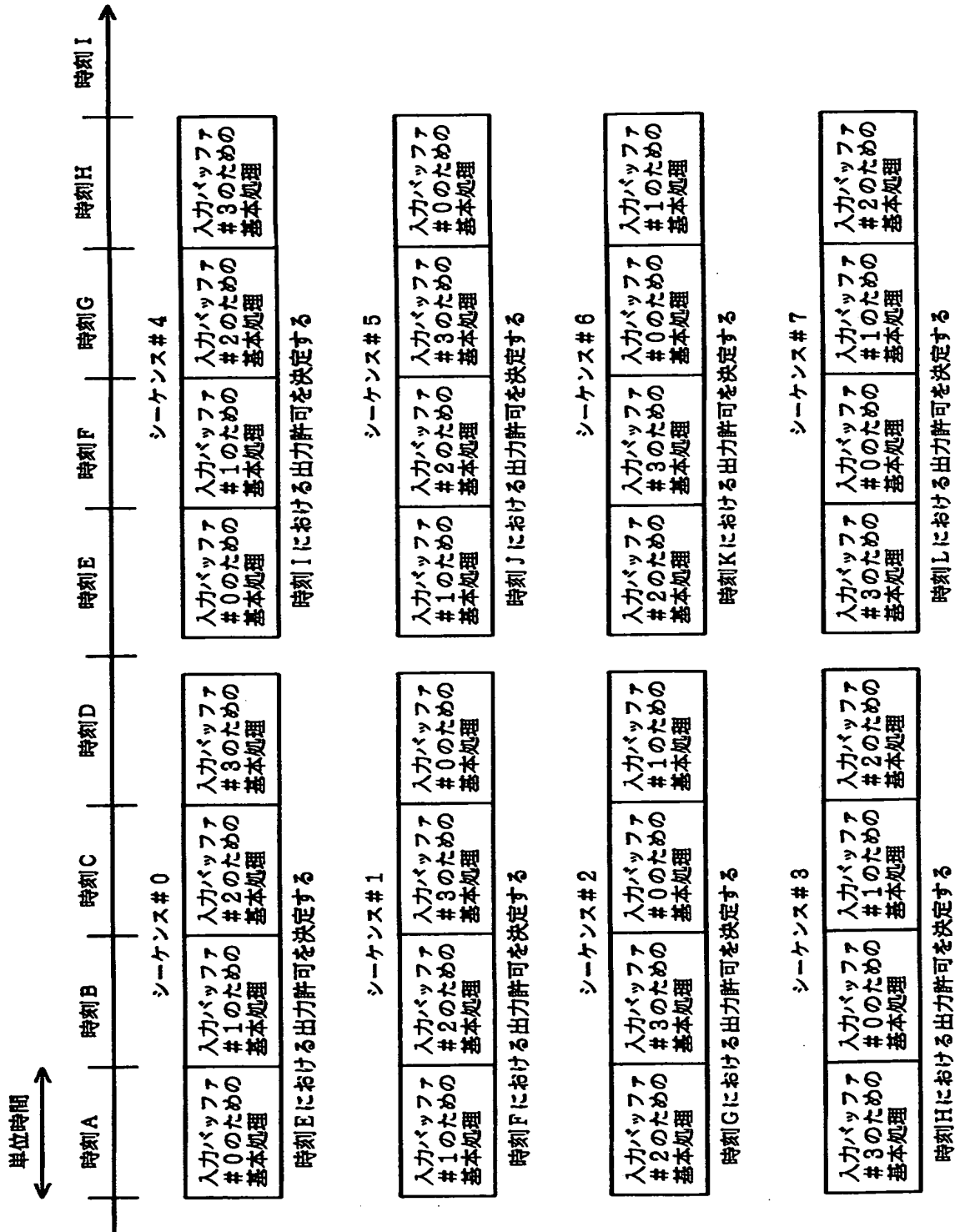
【符号の説明】

- 1 ～ 4 アービタ部
- 1 1 ～ 1 4, 2 1 ～ 2 4,
3 1 ～ 3 4, 4 1 ～ 4 4 基本モジュール
- 1 0 0, 2 0 0 信号線
- 3 0 1 信号線 A
- 3 0 2 信号線 B
- 4 0 1 高優先信号線
- 4 0 2 低優先信号線

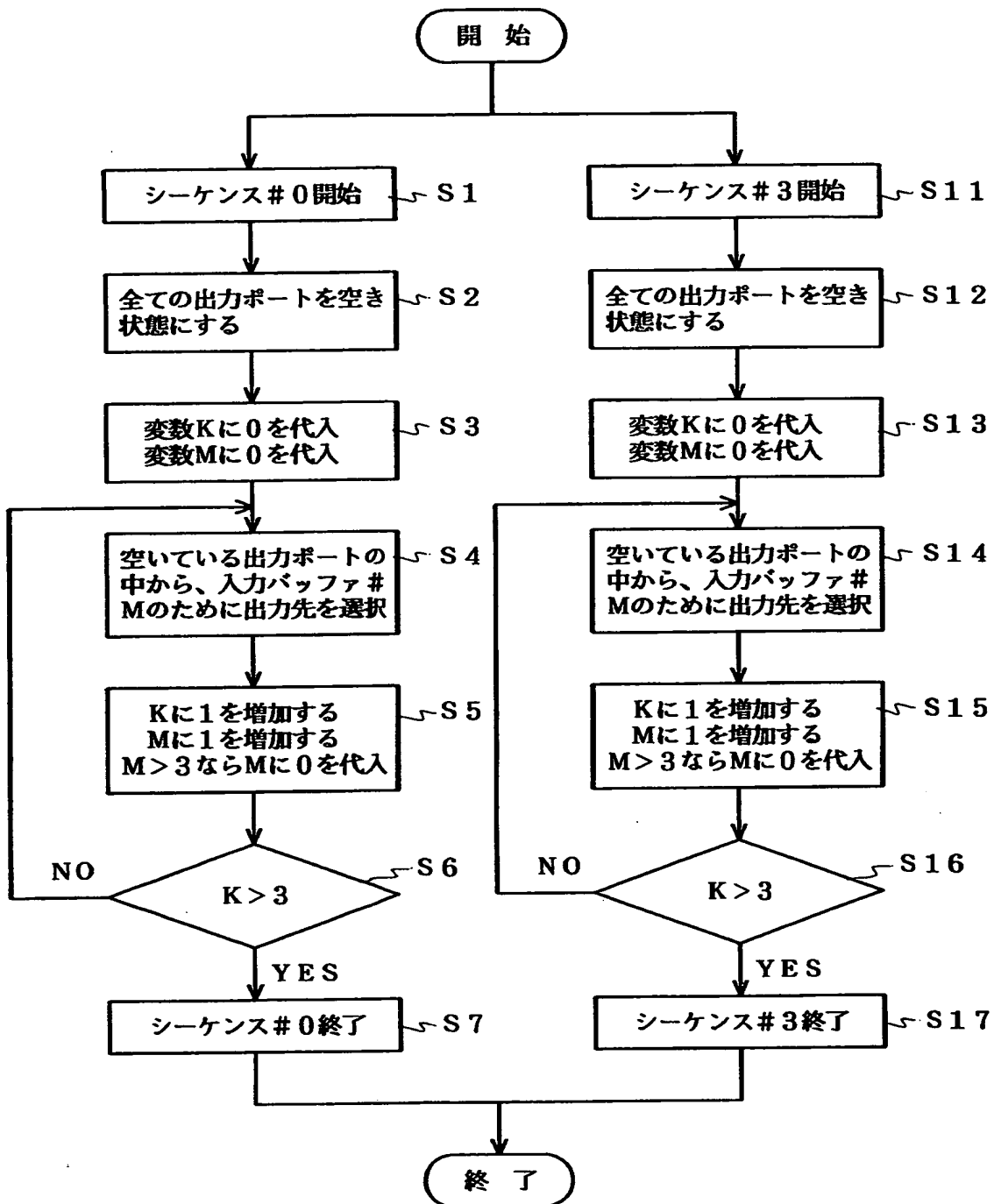
【書類名】

図面

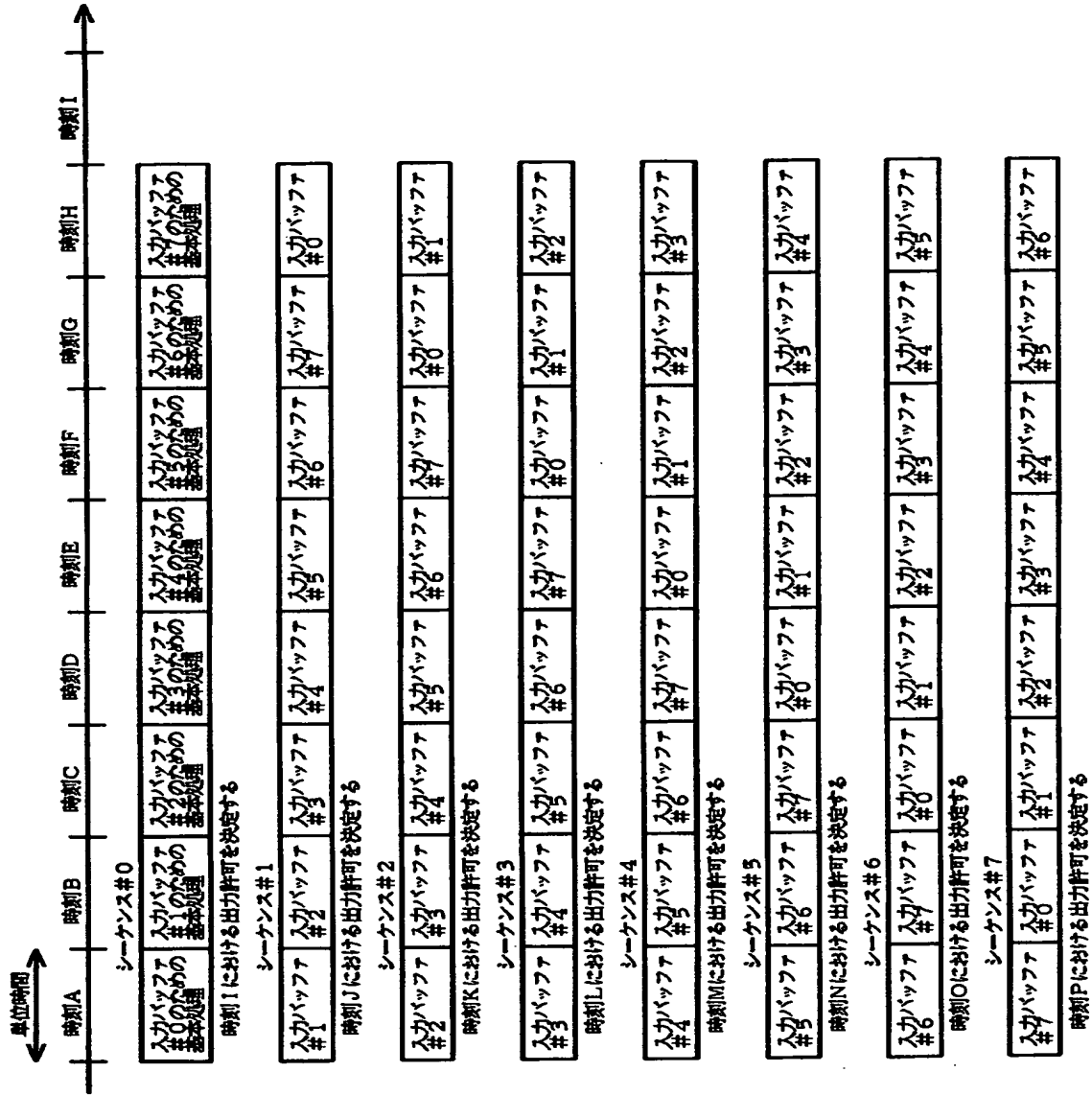
【図 1】



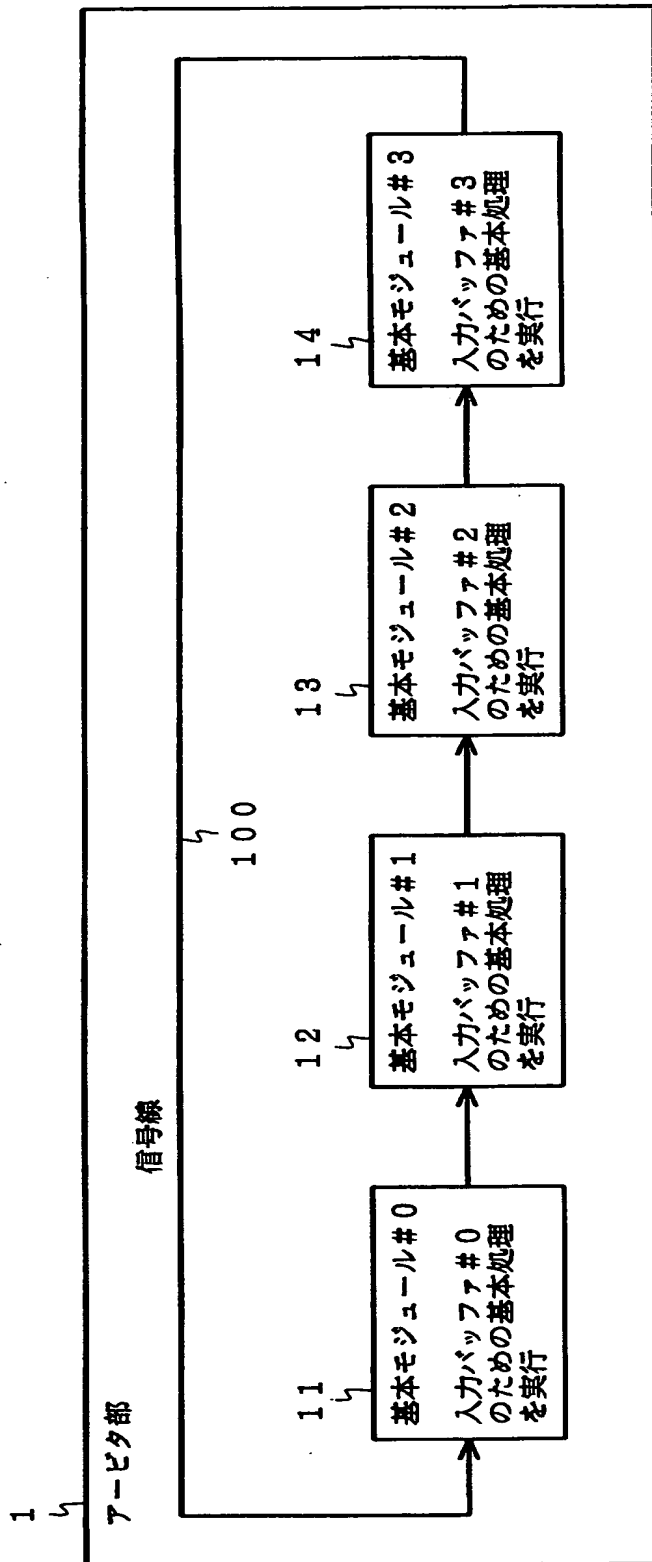
【図 2】



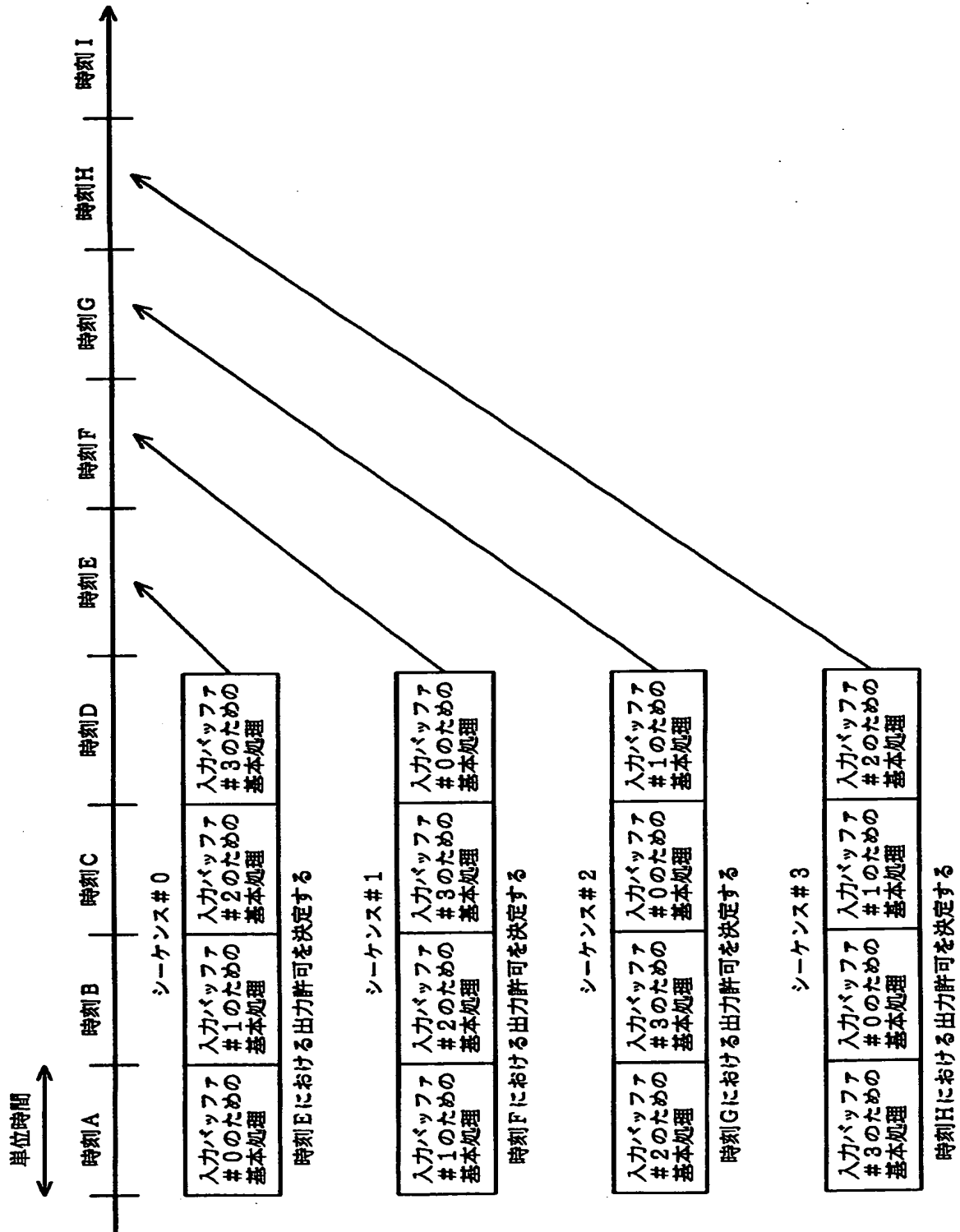
【図3】



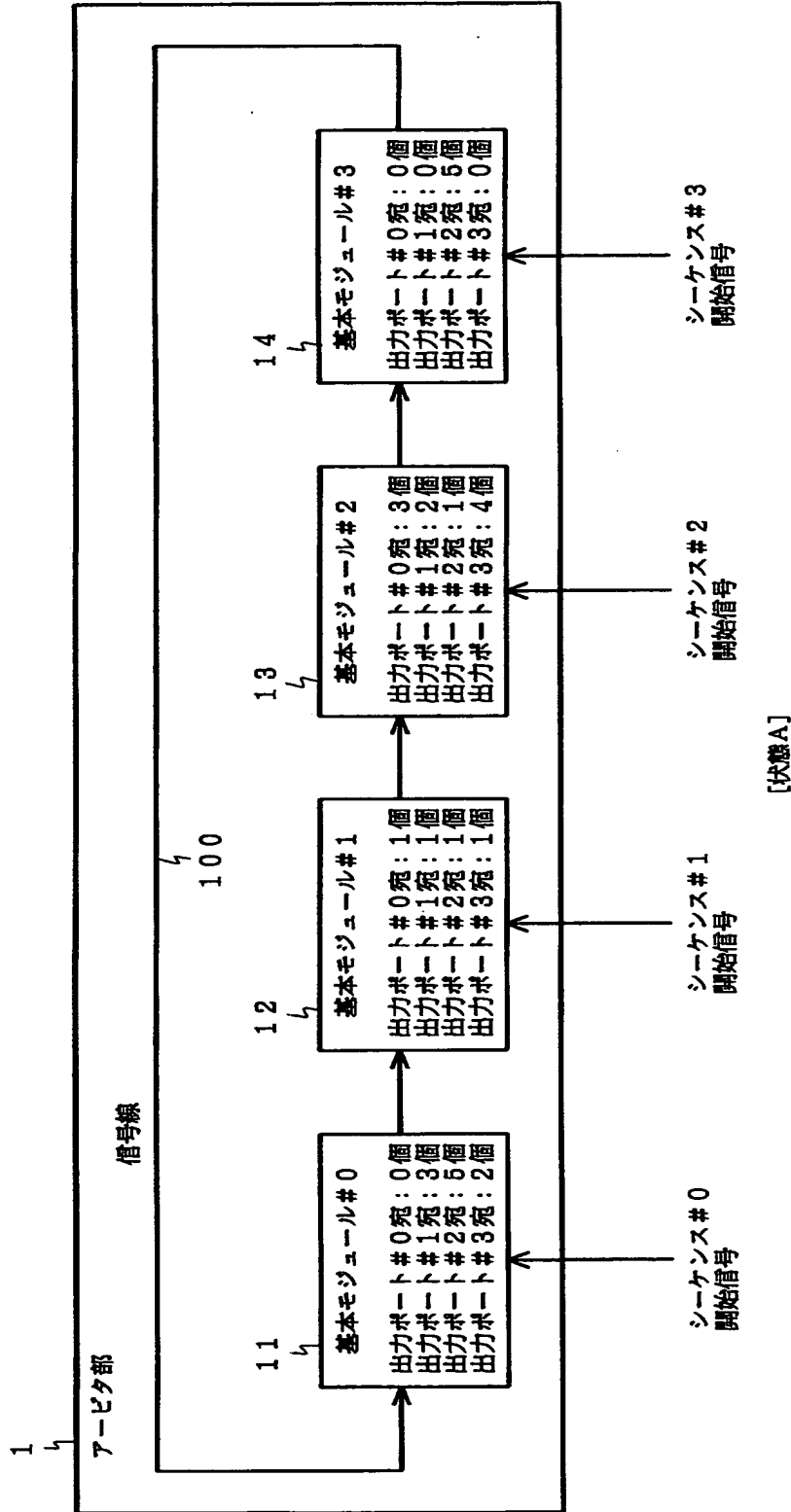
【図 4】



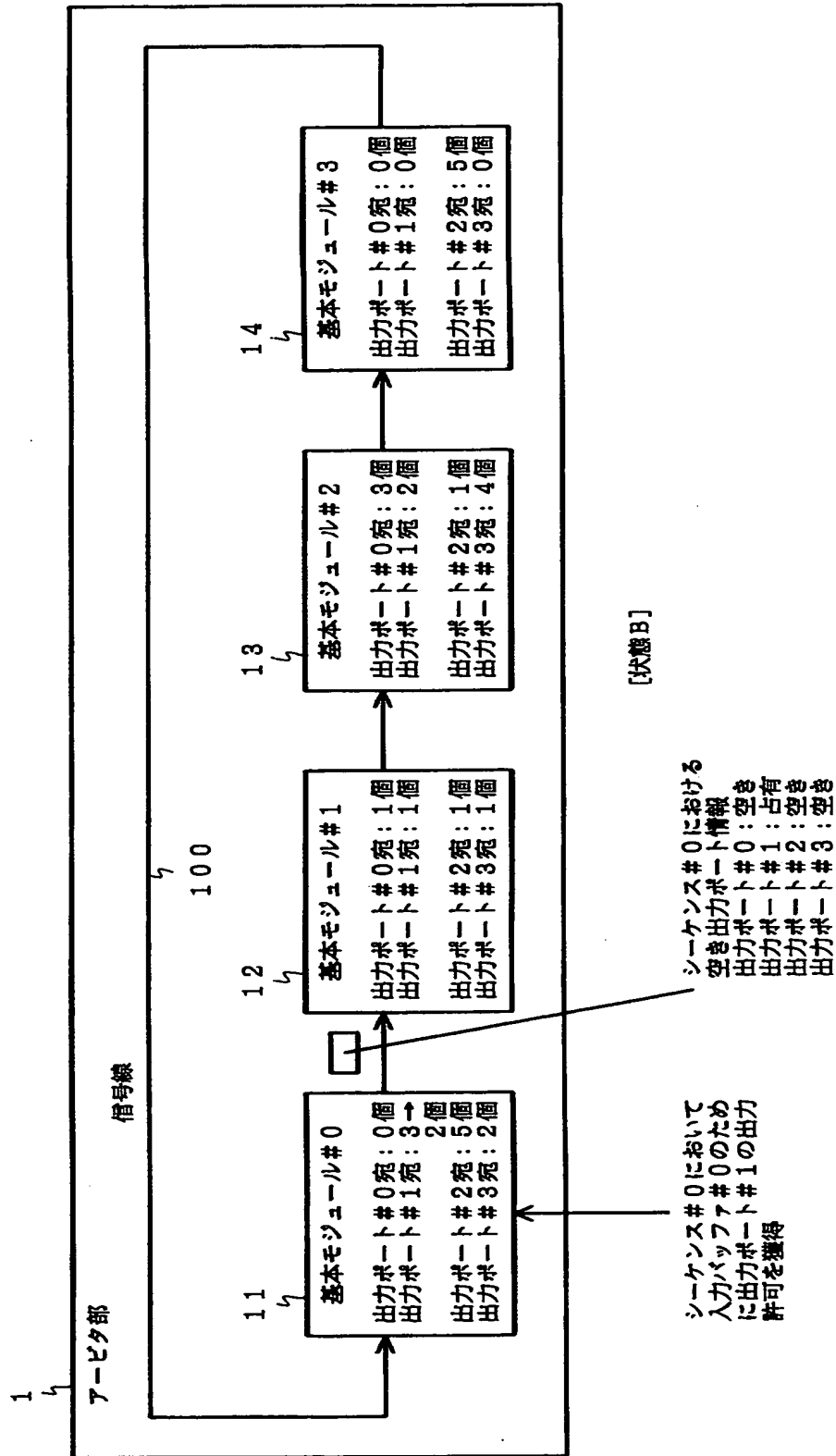
【図 5】



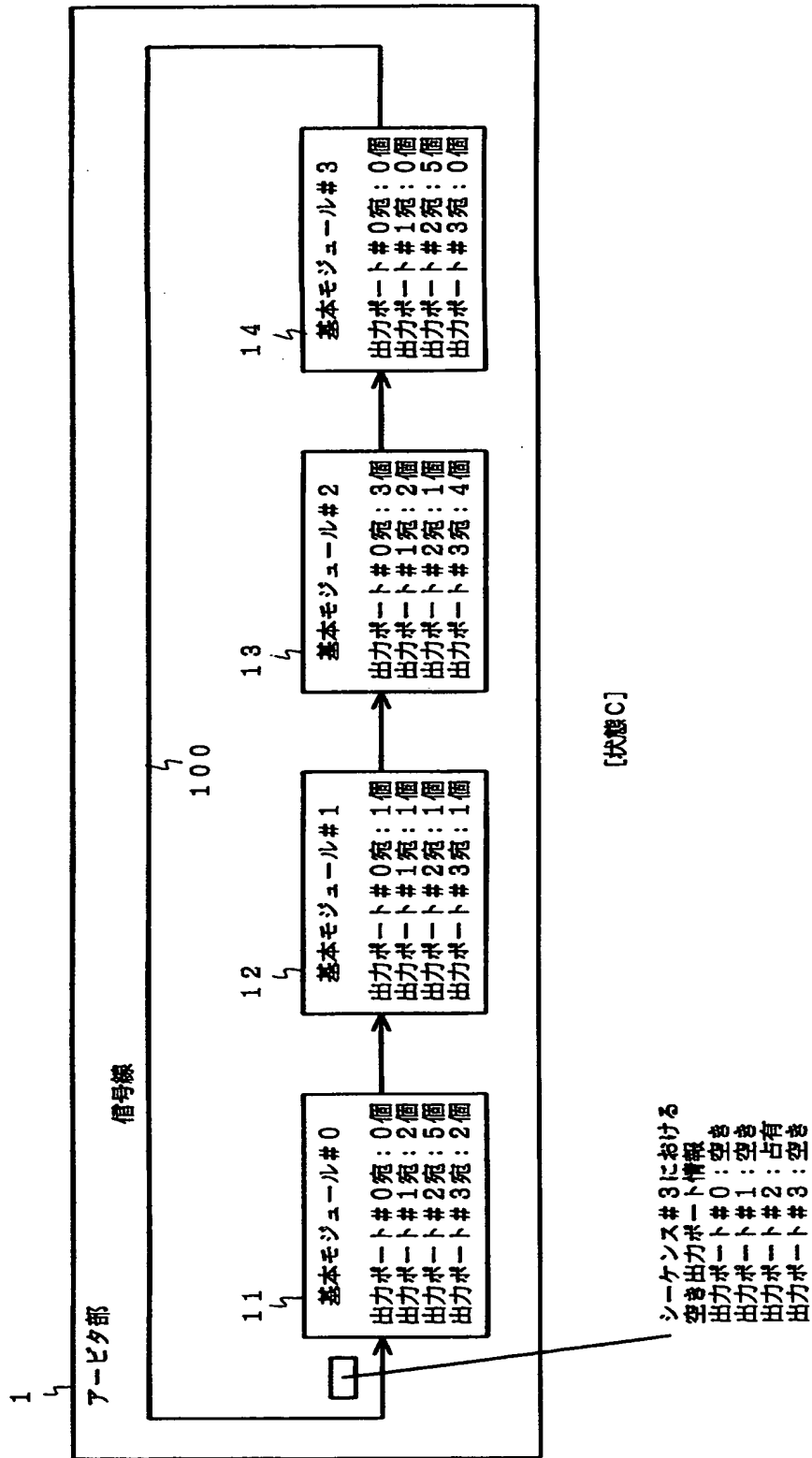
【図 6】



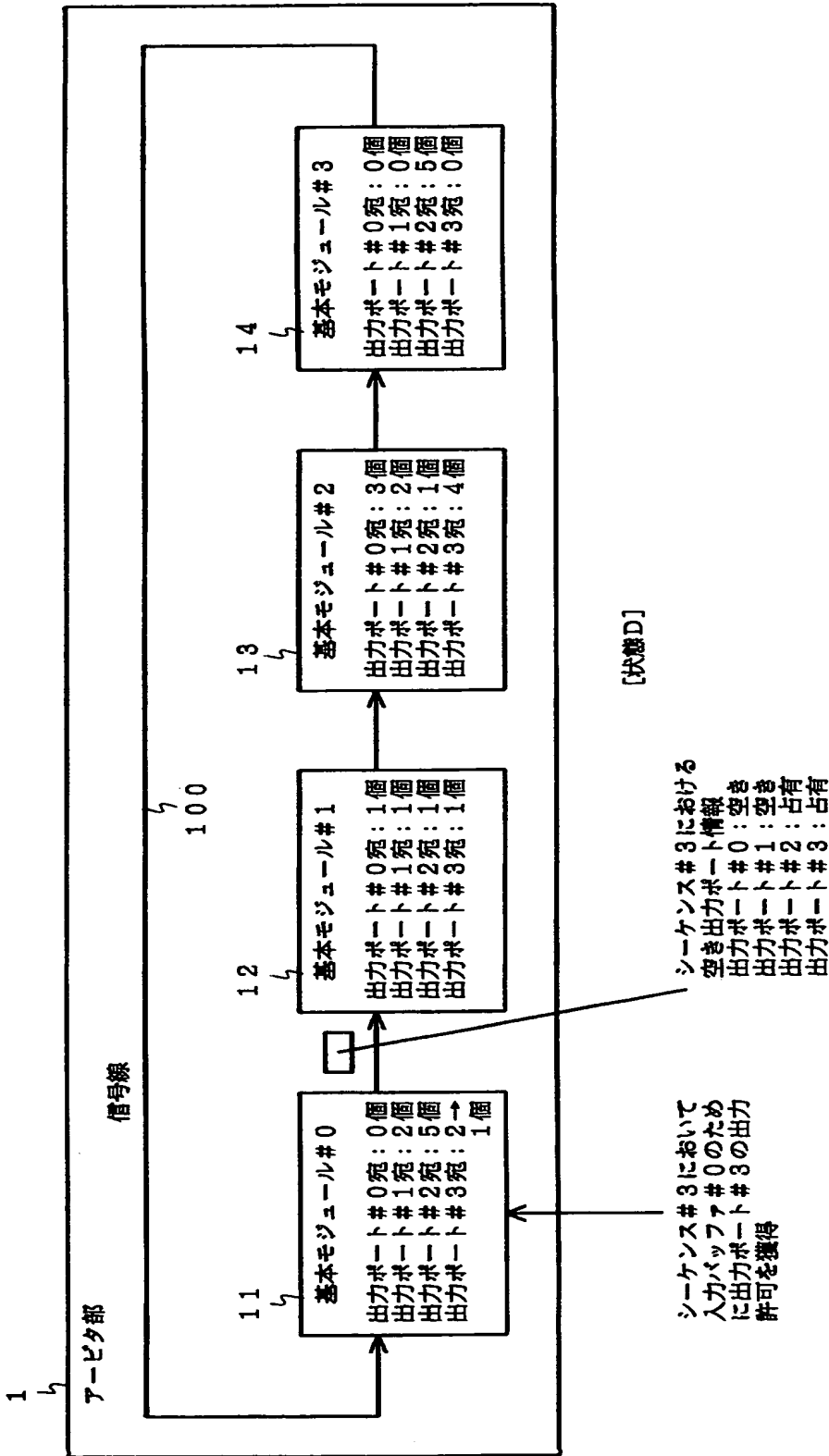
【図 7】



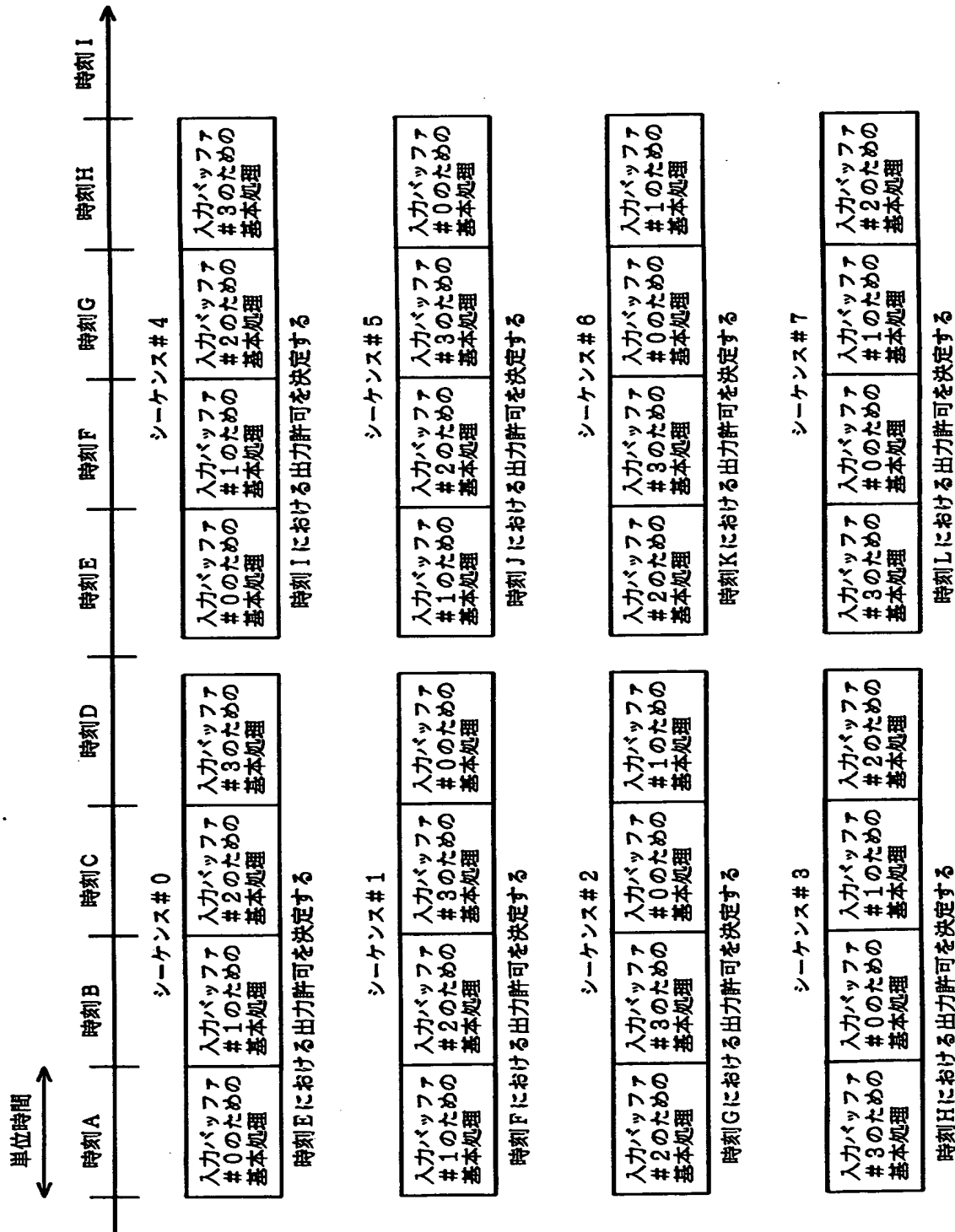
【図 8】



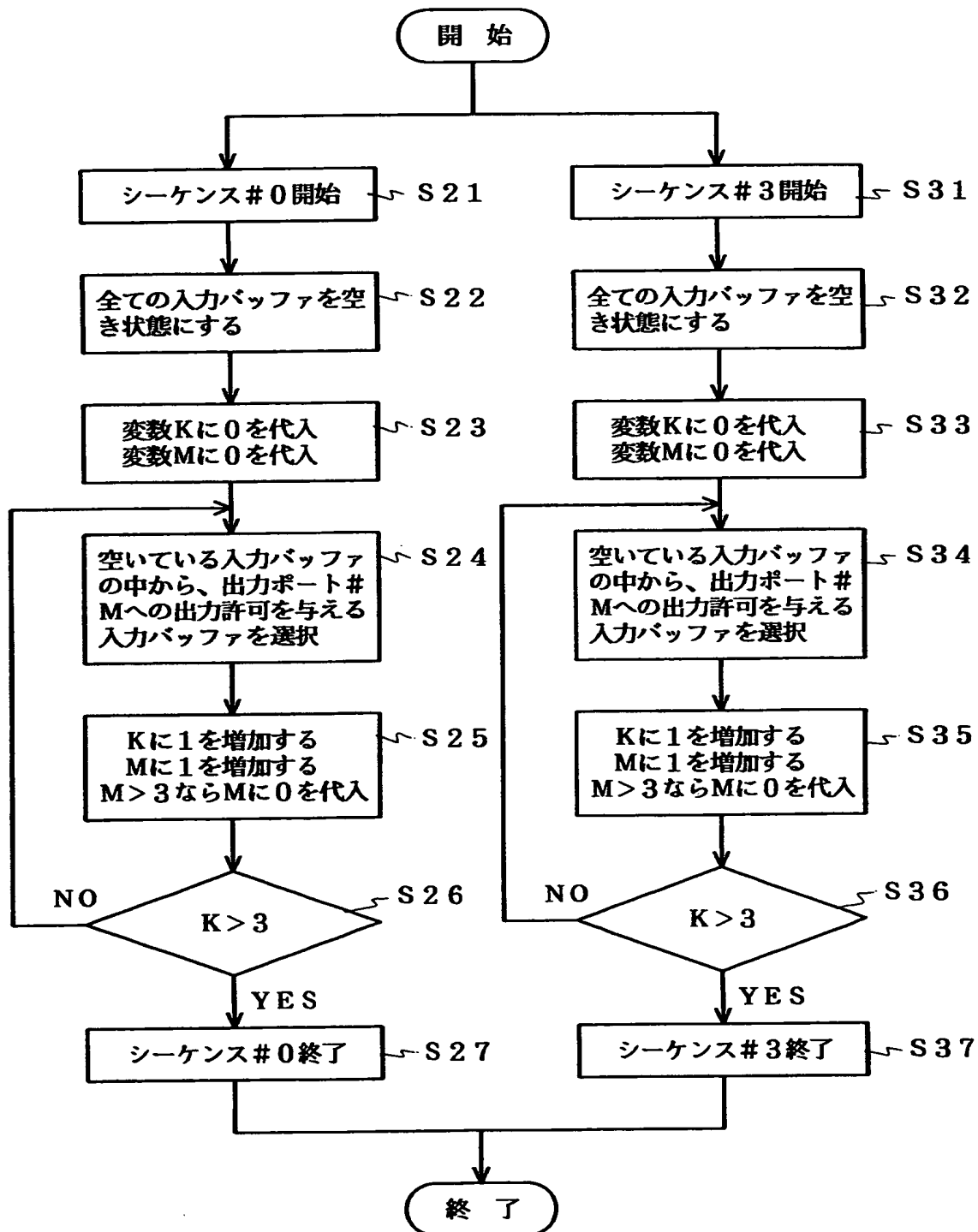
【図9】



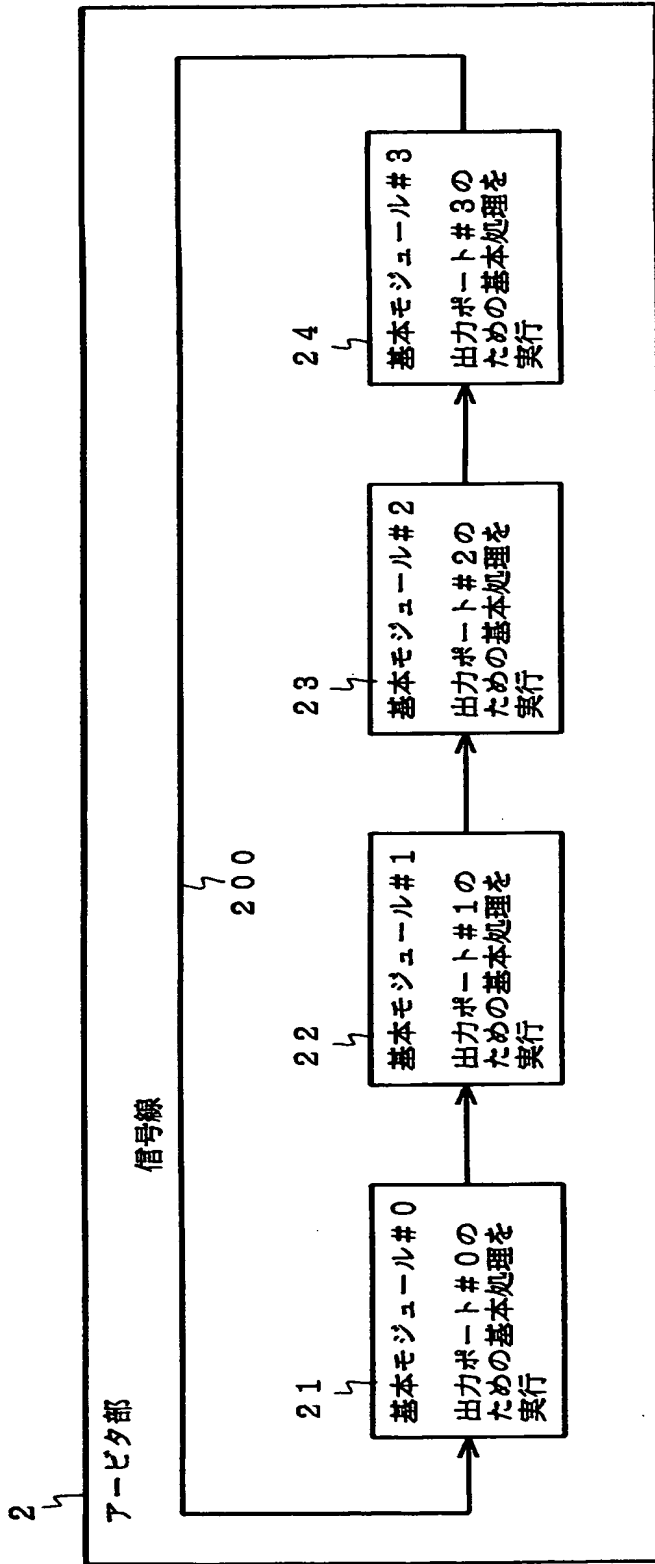
【図 1 0】



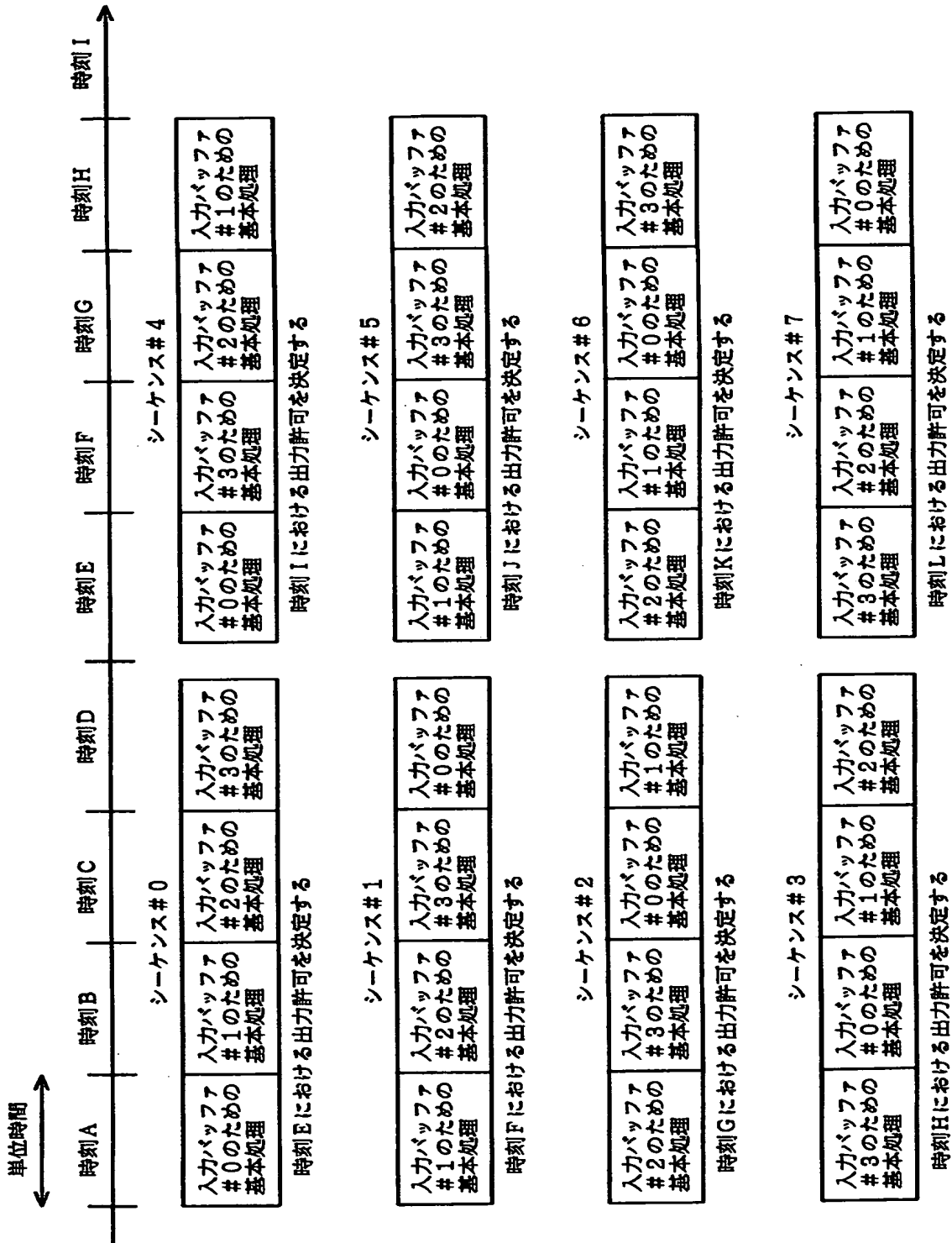
【図 11】



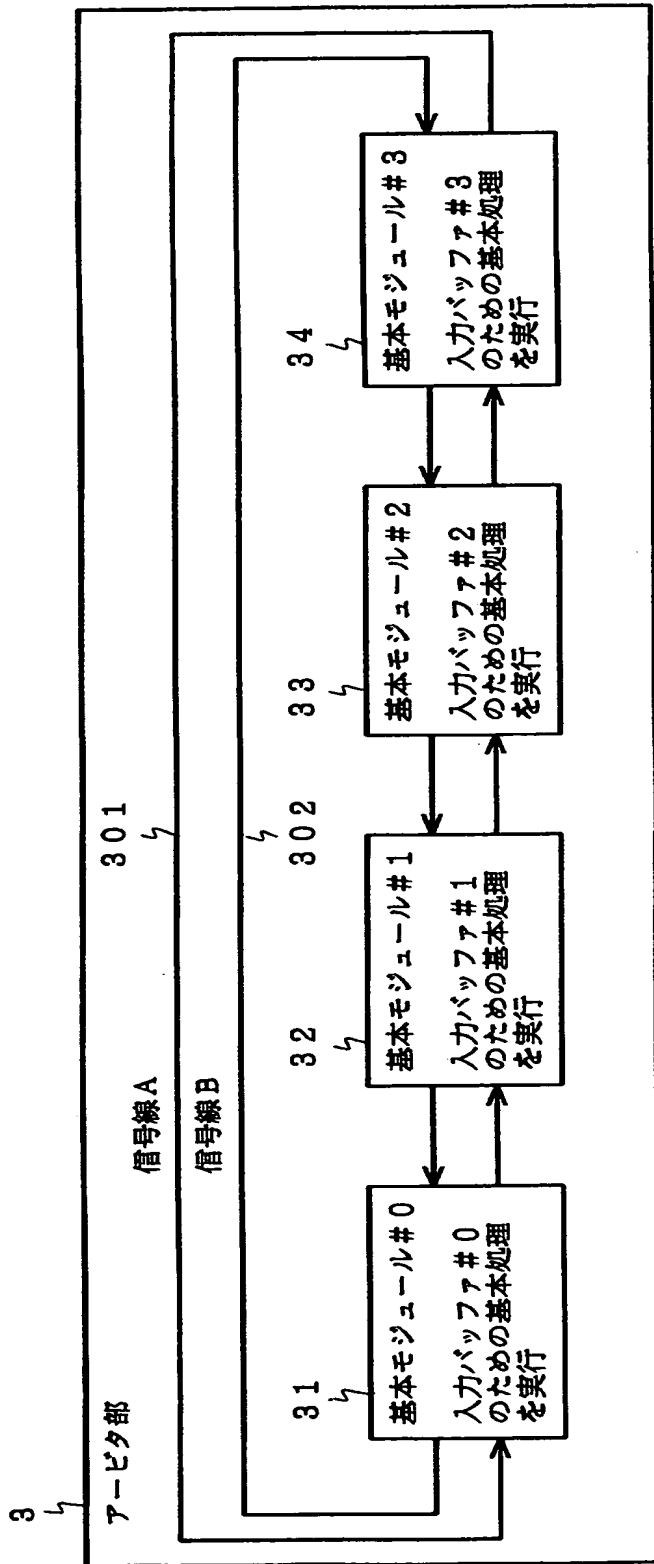
【図12】



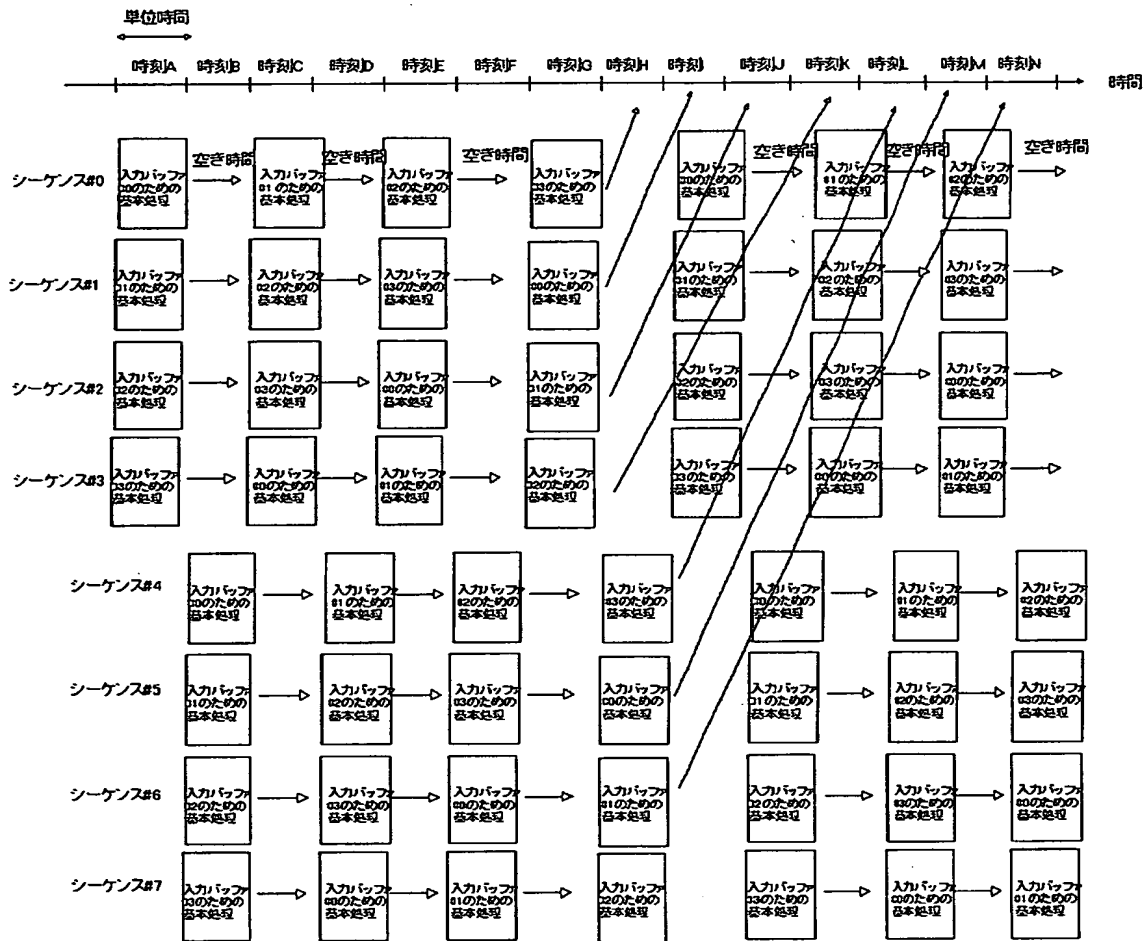
【図 1 3】



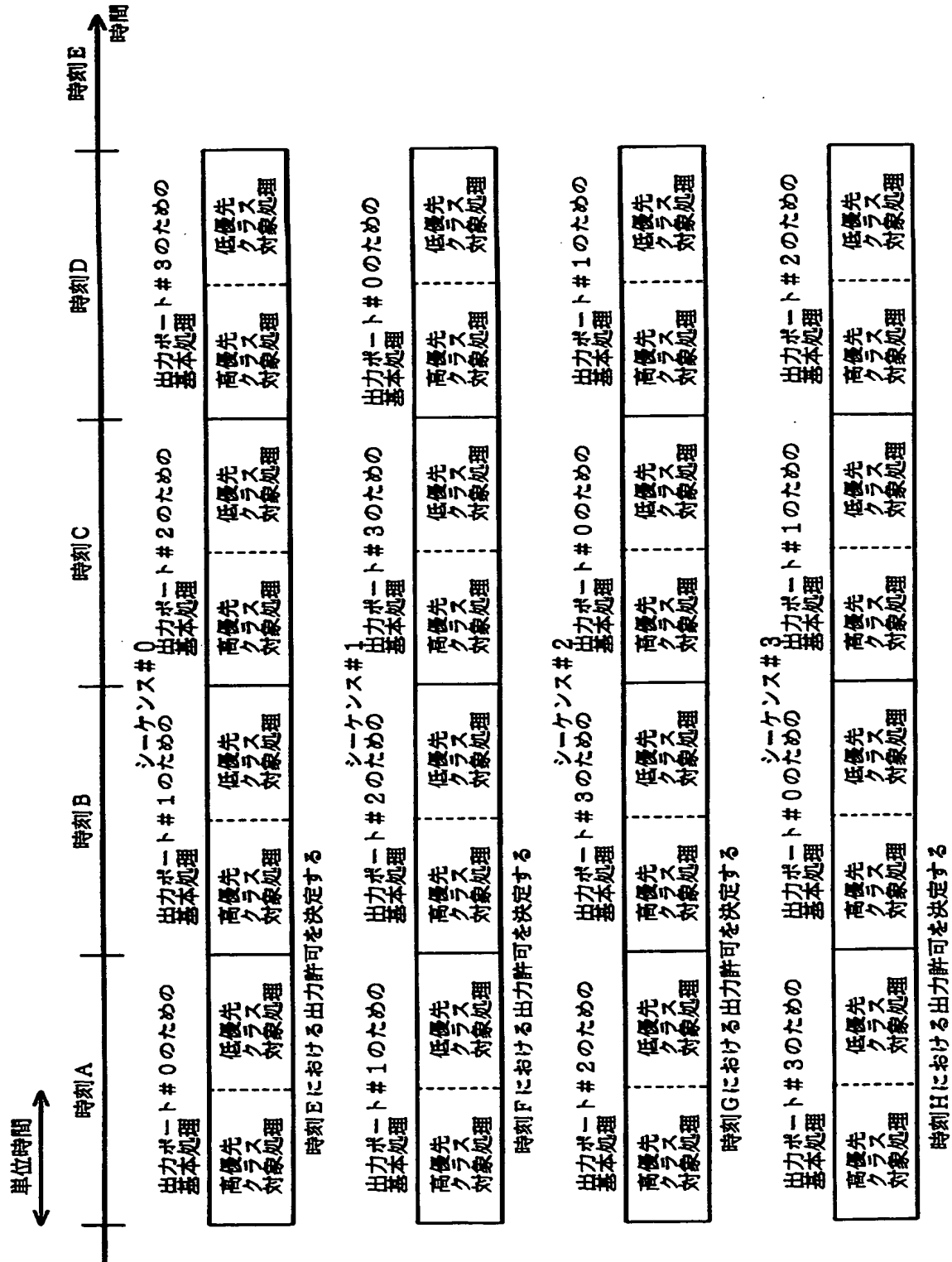
【図 14】



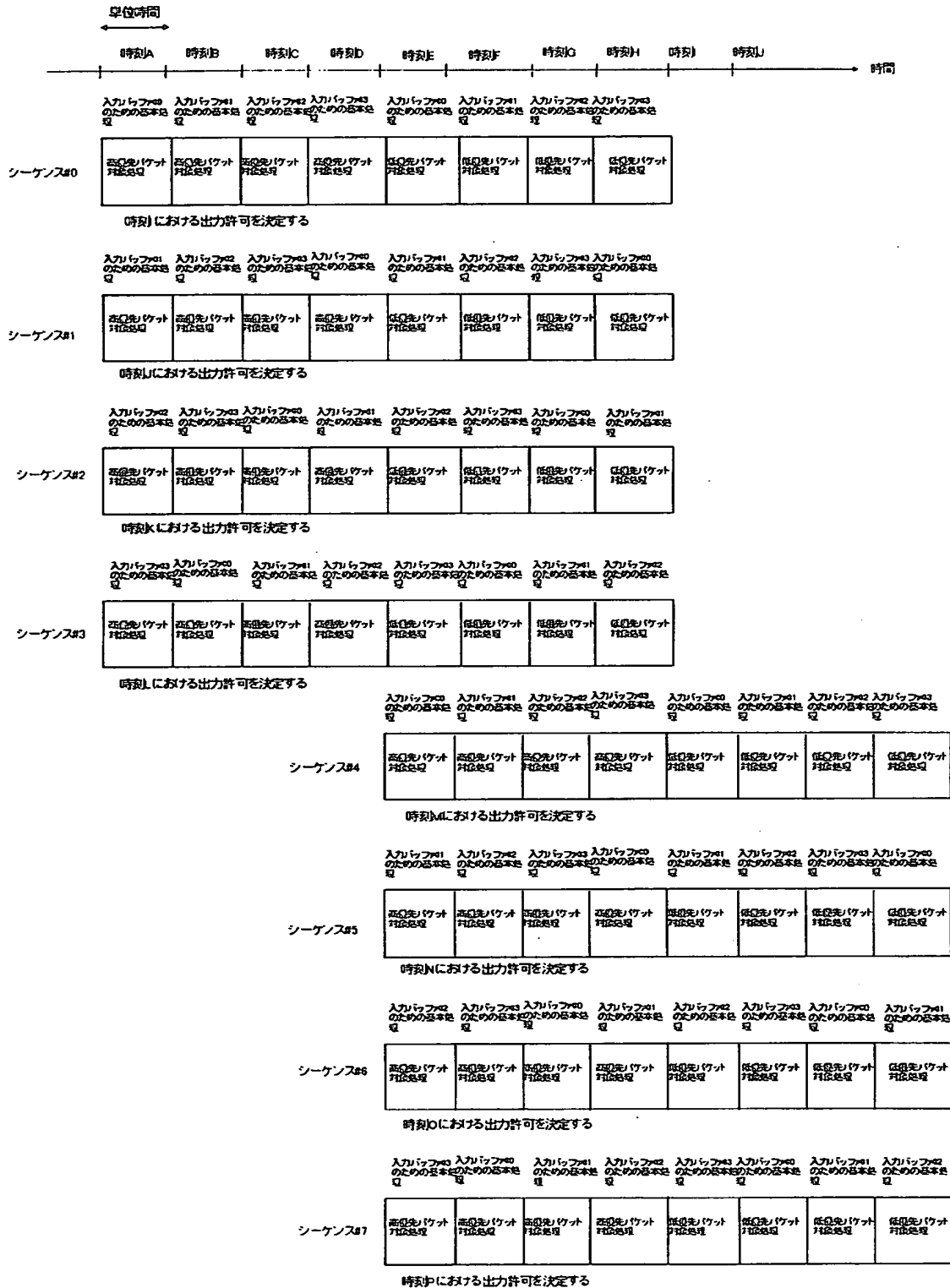
【图 15】



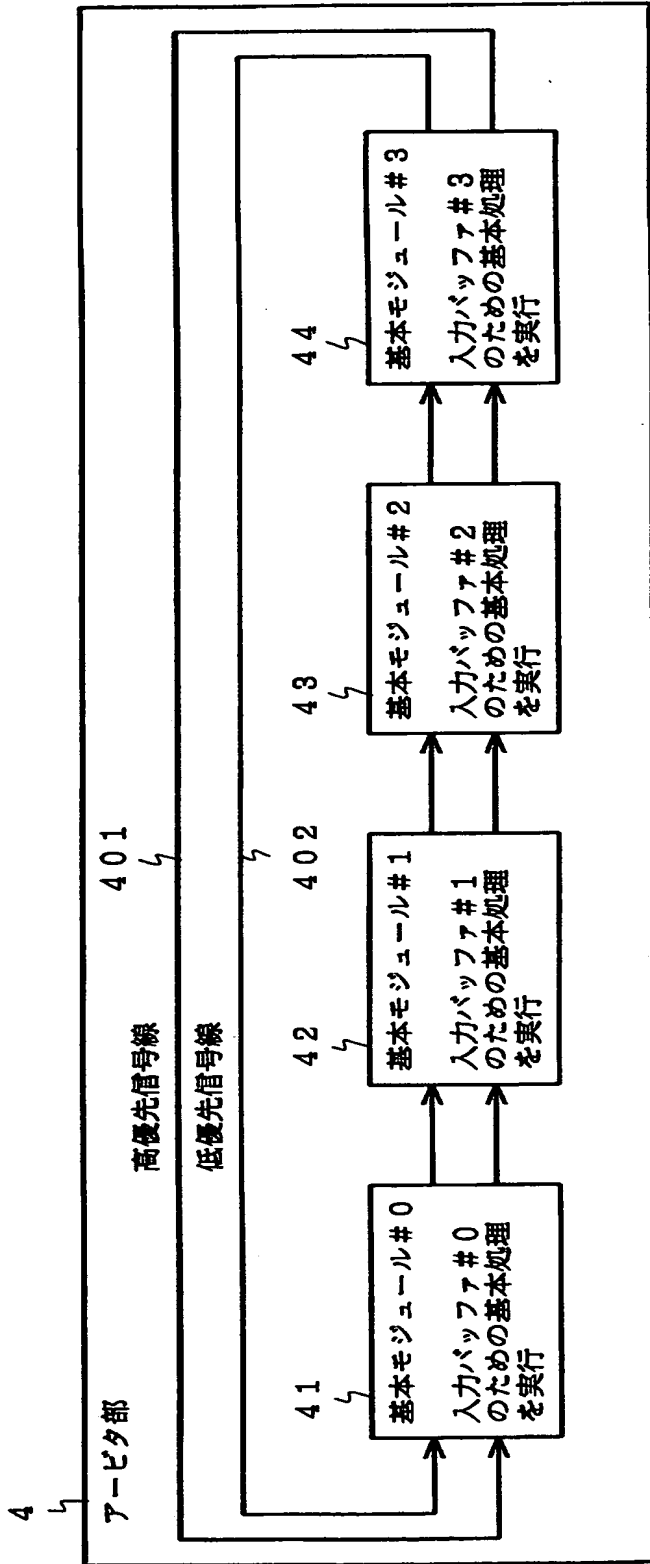
【図 1 6】



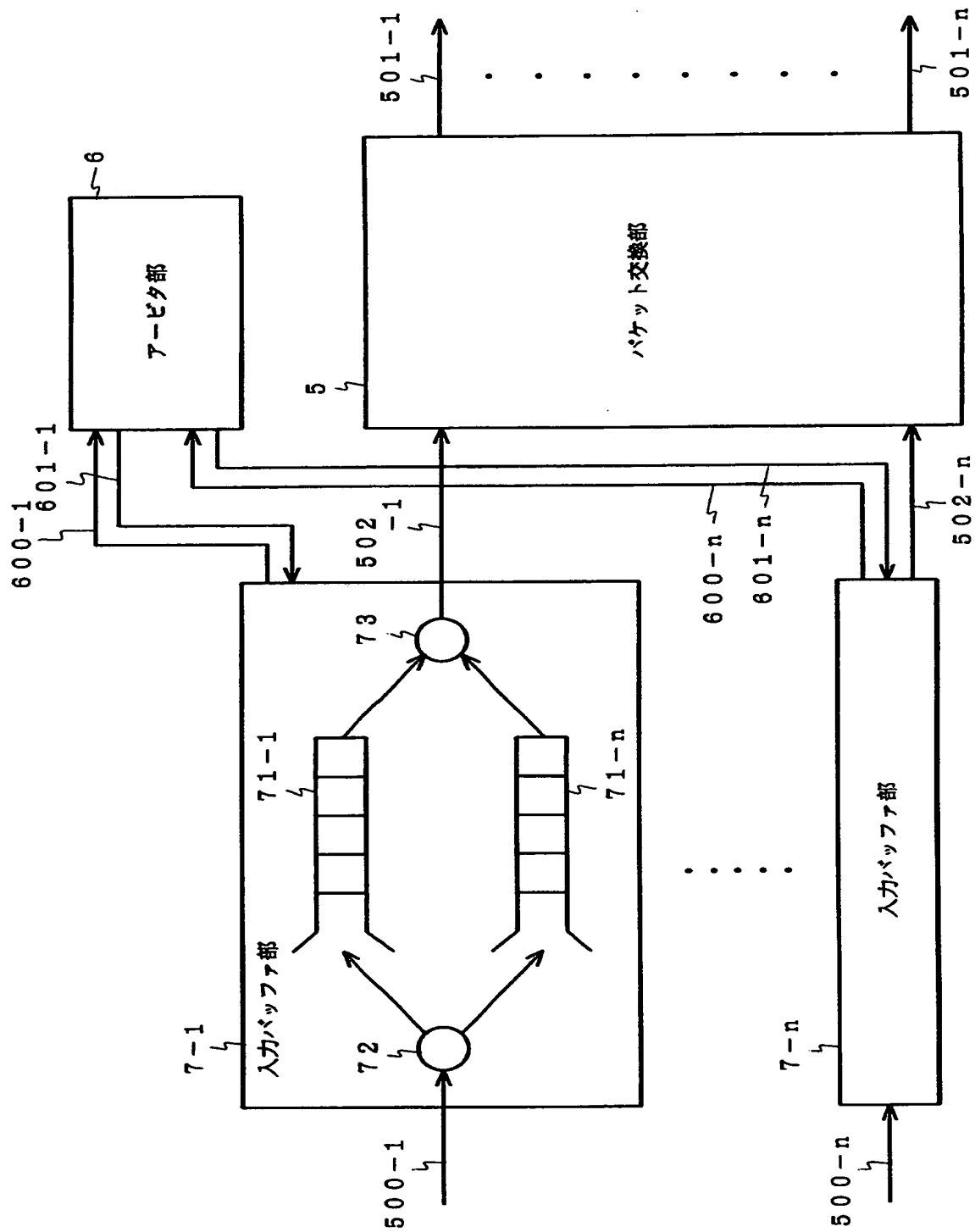
【図 18】



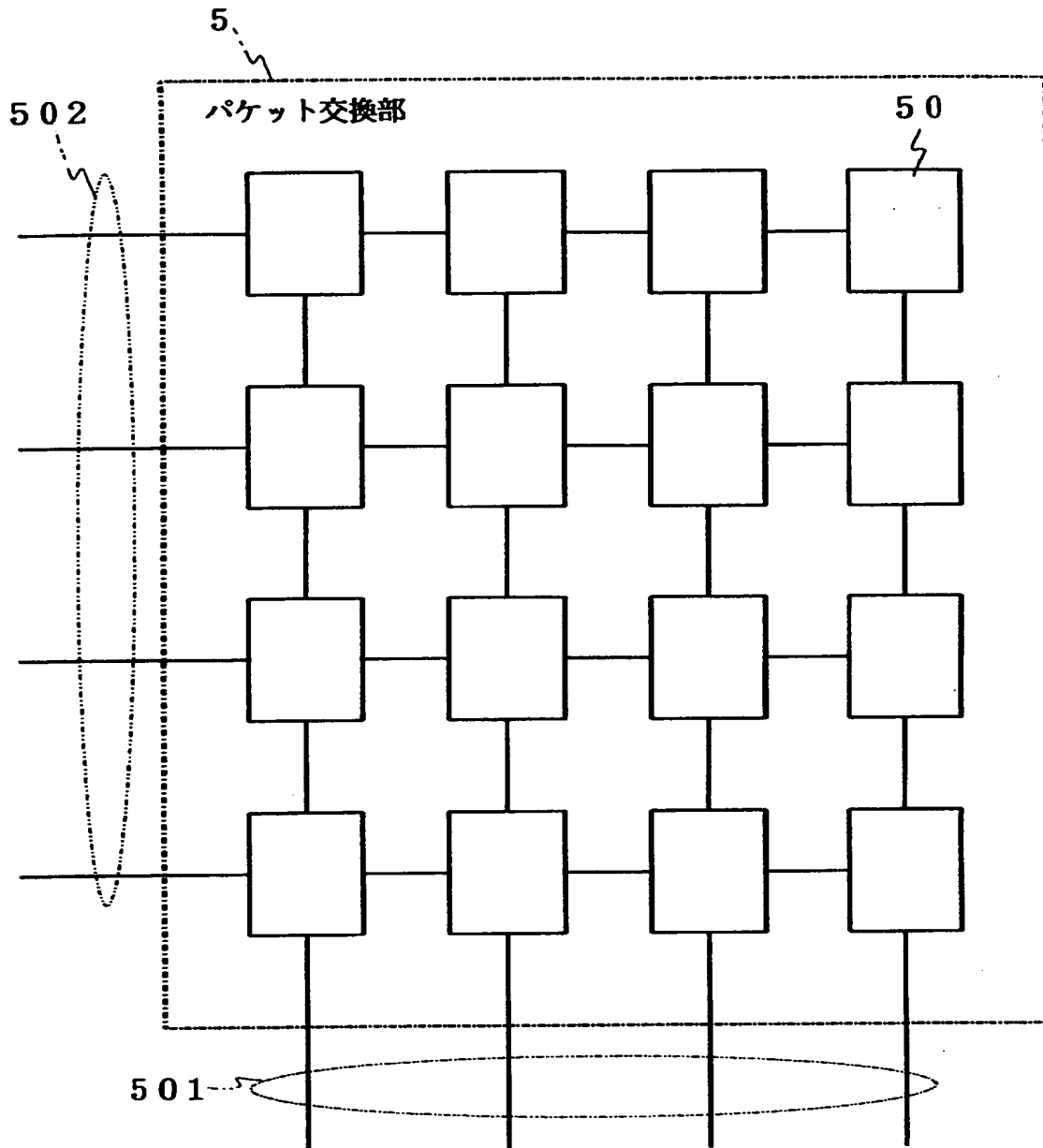
【図 19】



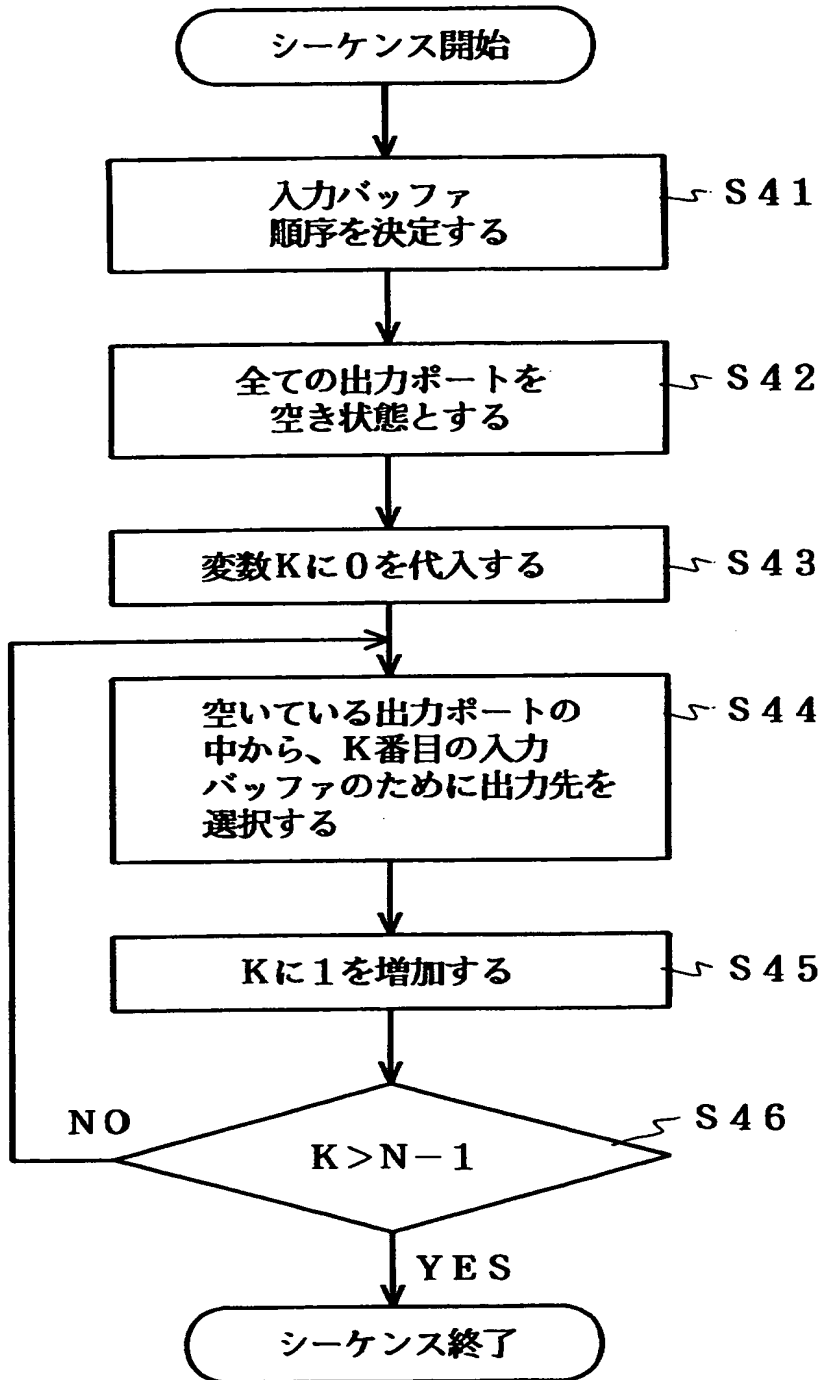
【図 20】



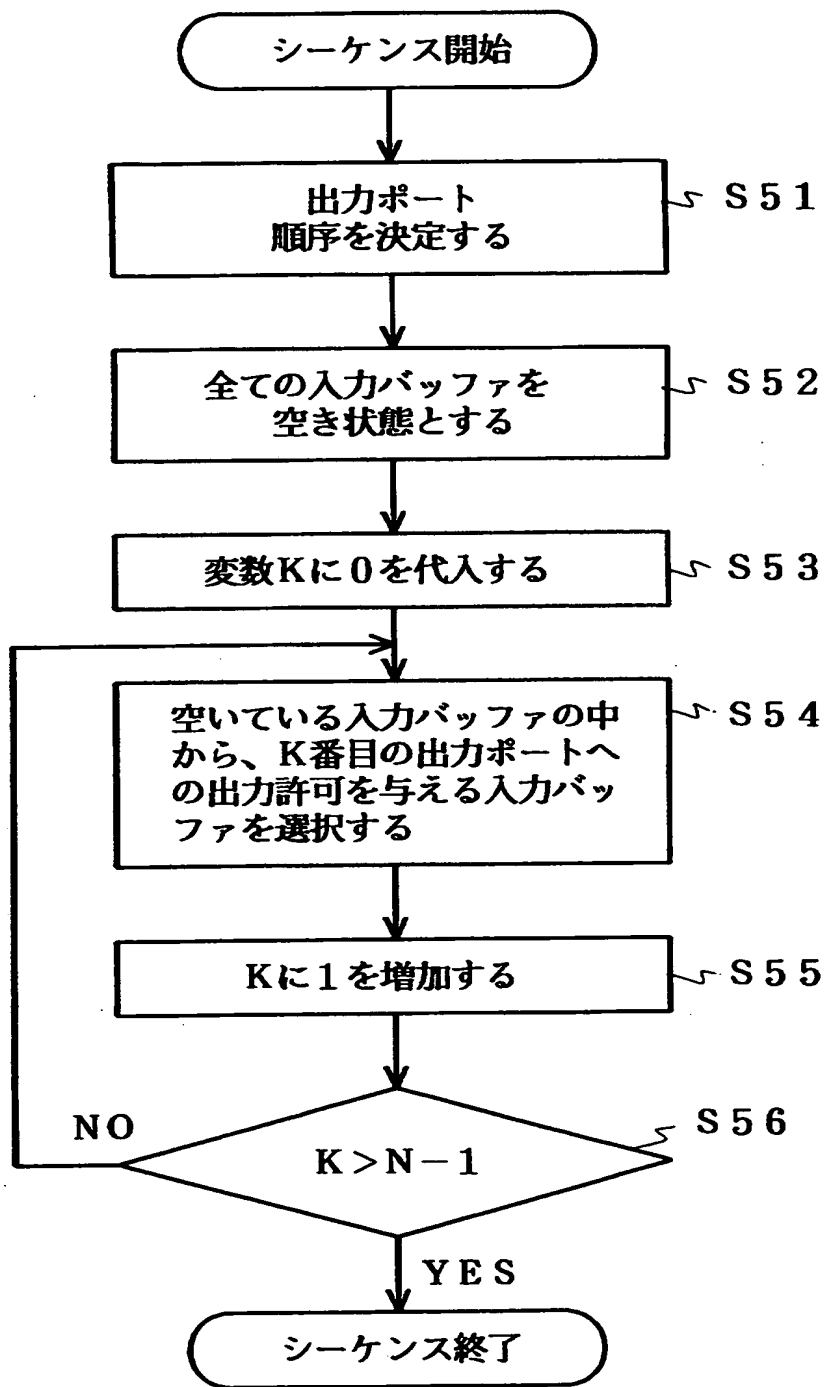
【図 2 1】



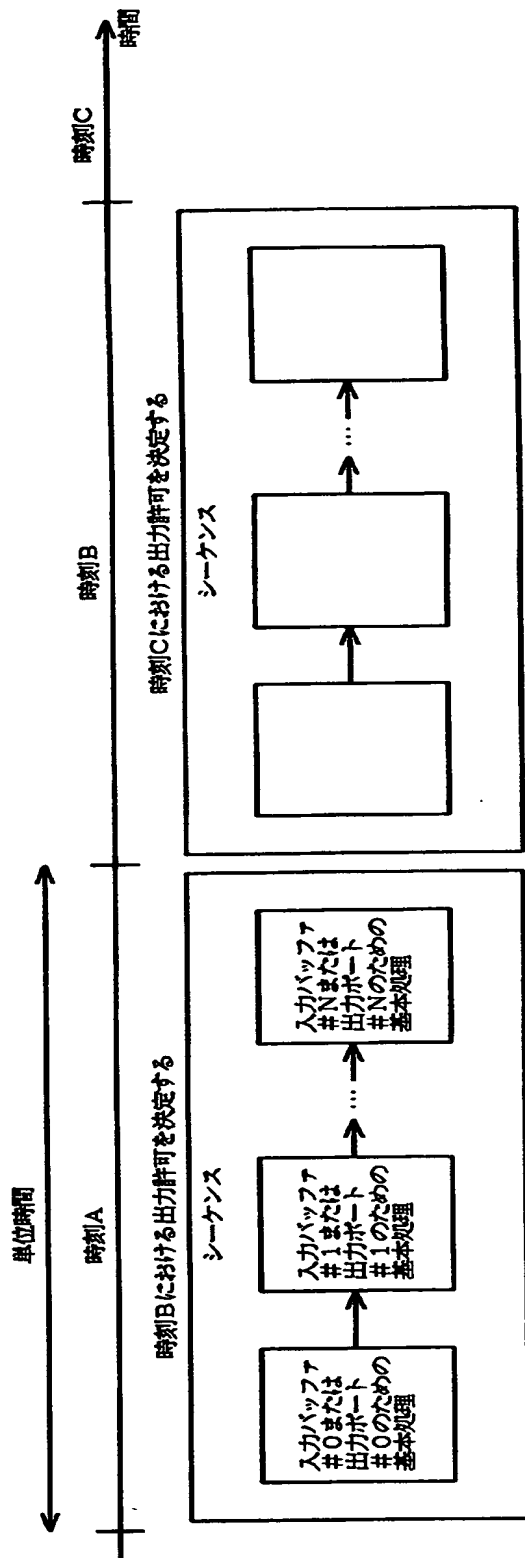
【図 2 2】



【図 23】



【図 2 4】



【書類名】 要約書

【要約】

【課題】 アービタ回路に安価な低処理能力のプロセッサを用いる場合でも装置の大容量化を図り、複数の優先度別クラスを効率よく収容可能な調停方式を提供する。

【解決手段】 出力ポートのためにパケットを出力させる入力バッファ # 0 ～ # 3 を選択する基本処理を予め決められた入力バッファ順序に従って実行するシーケンス # 0 ～ # 3 を複数同時に起動する。複数のシーケンス # 0 ～ # 3 は各々異なる時刻 E, F, G, H に対する出力許可を決定する。シーケンス # 0 ～ # 3 終了後、別の新しい複数のシーケンス # 4 ～ # 7 を起動させる。シーケンス内で実行される入力バッファ毎の基本処理は入力バッファから単一パケットを出力するのに要する単位時間内で完了し、同一の単位時間では各シーケンス # 0 ～ # 3 は互いに異なる入力バッファ # 0 ～ # 3 のための基本処理を実行する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社